

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

3/P. Papers
deurs
10/27/00

JC858 U.S. PTO
09/598736
06/21/00



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

1999年 6月22日

出願番号

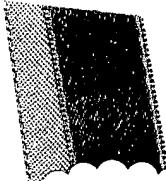
Application Number:

平成11年特許願第175937号

出願人

Applicant(s):

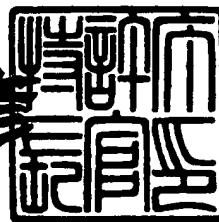
株式会社半導体エネルギー研究所



2000年 4月21日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3028712

【書類名】 特許願
【整理番号】 P004222-01
【提出日】 平成11年 6月22日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 高山 徹
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 佐藤 恵司
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】明細書

【発明の名称】 配線材料およびこれを用いた配線を備えた半導体装置およびその作製方法

【特許請求の範囲】

【請求項1】

タンゲステンを主成分とする配線材料であって、前記配線材料中にアルゴンを含み、且つ、前記配線材料中におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする配線材料。

【請求項2】

請求項1において、前記配線材料の電気抵抗率が $20 \mu \Omega \cdot cm$ 以下であることを特徴とする配線材料。

【請求項3】

絶縁表面上にタンゲステン膜からなる配線を備えた半導体装置であって、前記配線はアルゴンを含み、且つ、前記配線におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする半導体装置。

【請求項4】

絶縁表面上にタンゲステン膜と、タンゲステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、前記配線はアルゴンを含み、且つ、前記配線におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする半導体装置。

【請求項5】

請求項3または請求項4において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴とする半導体装置。

【請求項6】

請求項3乃至5のいずれか一において、前記タンゲステン膜の内部応力は、 $-1 \times 10^{10} dyn/cm^2$ 以上、 $1 \times 10^{10} dyn/cm^2$ 以下であることを特徴とする半導体装置。

【請求項7】

請求項3乃至6のいずれか一において、前記配線の線幅は $3 \mu m$ 以下であること

を特徴とする半導体装置。

【請求項8】

請求項3乃至7のいずれか一において、前記配線の膜厚は0.1μm以上、0.7μm以下であることを特徴とする半導体装置。

【請求項9】

請求項3乃至8のいずれか一において、前記配線をTFTのゲート配線として用いたことを特徴とする半導体装置。

【請求項10】

請求項3乃至請求項9に記載された半導体装置とは、アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイまたはアクティブマトリクス型ECディスプレイであることを特徴とする半導体装置。

【請求項11】

請求項10に記載された半導体装置を表示媒体として搭載したことを特徴とする半導体装置。

【請求項12】

請求項11に記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末であることを特徴とする半導体装置。

【請求項13】

絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、アルゴンのみをスパッタガスとしたスパッタ法によりタンゲステン膜を形成する工程と、前記タンゲステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法。

【請求項14】

請求項13において、前記スパッタ法は、純度が6N以上のタンゲステンターゲットを用いることを特徴とする半導体装置の作製方法。

【請求項15】

請求項13または請求項14において、前記スパッタ法は、基板温度を300℃以下とすることを特徴とする半導体装置の作製方法。

【請求項16】

請求項13乃至15のいずれか一において、前記スパッタ法は、ガス圧を1.0Pa以上とすることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は半導体装置の配線材料に関するものである。特に、薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

従来、上記TFTの配線材料としては、スパッタ法を用いた抵抗率の低いアルミニウム膜が多用されている。しかしながら、アルミニウムを配線材料として用いてTFTを作製した場合、熱処理によってヒロックやウィスカー等の突起物の形成や、アルミニウム原子のチャネル形成領域への拡散により、TFTの動作不良やTFT特性の低下を引き起こしていた。

【0005】

【発明が解決しようとする課題】

上記に示したようにアルミニウムは、耐熱性が低いためTFTの作製プロセスに

において好ましい配線材料ではない。

【0006】

このため、アルミニウム以外の配線材料として、例えばタンタル（Ta）やチタン（Ti）等を主成分に含む材料を使用する試みがなされている。タンタルやチタンはアルミニウムに比べれば耐熱性が高い一方、電気抵抗率が高いという問題が生じる。また、タンタルは500°C程度の熱処理を施すと、熱処理前のものと比べて電気抵抗率が数倍に増大するため問題となっていた。

【0007】

また、基板上に形成された膜が大きな応力を持つ場合、基板の反りや、膜自体の剥離が生じるため、スパッタ法により形成された膜は、膜応力の制御を行って、できるだけ低い応力を持つ膜を形成することが望まれている。膜応力の制御を行う一つの手段として、アルゴン（Ar）やクリプトン（Kr）やキセノン（Xe）の混合ガスをスパッタガスとして用いることが提案されている。しかしながら、クリプトン（Kr）やキセノン（Xe）は高価なものであるため、混合ガスを用いることは、大量生産する場合において不適であった。

【0008】

本願発明は、上記問題点を鑑みてなされたものであり、AM-LCDに代表される電気光学装置の各回路の配線または電極として、電気抵抗率が十分に低く、且つ耐熱性が十分に高い材料を用い、高い信頼性を有する電気光学装置およびその作製方法を提供することを課題とする。

【0009】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

タンゲステンを主成分とする配線材料であって、前記配線材料中にアルゴンを含み、且つ、前記配線材料中におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする配線材料である。

【0010】

また、上記構成において、前記配線材料の電気抵抗率が20 μΩ・cm以下、好ましくは15 μΩ・cm以下であることを特徴としている。

【0011】

また、他の発明の構成は、

絶縁表面上にタンゲステン膜からなる配線を備えた半導体装置であって、前記配線はアルゴンを含み、且つ、前記配線におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする半導体装置である。

【0012】

また、他の発明の構成は、

絶縁表面上にタンゲステン膜と、タンゲステンの窒化物膜とを含む積層構造を有する配線を備えた半導体装置であって、前記配線はアルゴンを含み、且つ、前記配線におけるナトリウムの含有量は0.1 ppm以下であることを特徴とする半導体装置である。

【0013】

上記各構成において、前記配線は、アルゴンをスパッタガスとして用いたスパッタ法により形成されたことを特徴としている。

【0014】

また、上記各構成のいずれか一において、前記タンゲステン膜の内部応力は、 $-1 \times 10^{10} \text{ dyn/cm}^2$ 以上、 $1 \times 10^{10} \text{ dyn/cm}^2$ 以下であることを特徴としている。

【0015】

また、上記各構成のいずれか一において、前記配線の線幅は $3 \mu\text{m}$ 以下であることを特徴としている。

【0016】

また、上記各構成のいずれか一において、前記配線の膜厚は $0.1 \mu\text{m}$ 以上、 $0.7 \mu\text{m}$ 以下であることを特徴としている。

【0017】

また、上記各構成のいずれか一において、前記配線をTFTのゲート配線として用いたことを特徴としている。

【0018】

また、上記各構造を実現するための発明の構成は、

絶縁表面上に配線を少なくとも含む半導体装置の作製方法において、前記配線は、アルゴンのみをスパッタガスとしたスパッタ法によりタングステン膜を形成する工程と、前記タングステン膜をパターニングする工程とによって形成することを特徴とする半導体装置の作製方法である。

【0019】

上記構成において、前記スパッタ法は、純度が6N以上のタングステンターゲットを用いることを特徴としている。

【0020】

また、上記各構成において、前記スパッタ法は、基板温度を300°C以下とすることを特徴としている。

【0021】

また、上記各構成において、前記スパッタ法は、ガス圧を1.0Pa以上とすることを特徴としている。

【0022】

なお、本明細書中において「内部応力」は図28に示すように、基板52に対して薄膜51が収縮しようとするときには、基板52はそれを妨げる方向に引っ張るため薄膜51を内側にして変形し、これを引張応力と呼び、「+」方向の応力として表している。一方、薄膜51が伸張しようとするときには、基板52は押し縮められ薄膜51を外側にして変形するので、これを圧縮応力と呼び、「-」方向の応力として表している。

【0023】

なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含められているものとする。

【0024】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0025】

上述の課題を解決するために、本発明は、高純度な高融点金属からなるターゲットを用い、スパッタ法によって得られる高融点金属膜を配線材料として提供する。代表的にはタンクスチン（W）を高融点金属として用いることを本発明の特徴の一つとしている。

【0026】

ターゲットとしては純度の高い、好ましくは6N（99.999%）以上のタンクスチンターゲットを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスを用いる。

【0027】

また、本発明は、基板温度、スパッタガスの圧力（ガス圧）を調節することによって応力制御を行うことを特徴の一つとしている。基板温度を300°C以下とし、スパッタガスの圧力を1.0Pa以上とすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10}$ dyn/cm²、好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10}$ dyn/cm²とすることができる。

【0028】

また、従来では、スパッタ電力を大きくすると膜応力が増大していた。しかし、上記本願発明を利用することによって、膜応力の増大を抑制できるため、大きなスパッタ電力を投入することができ、スパッタレートを向上させることができる。

【0029】

上記方法によって得られる本願のタンクスチン膜のナトリウム（Na）濃度及びカリウム（K）濃度をGDMS分析法によって分析した。その分析結果を表1及び図25に示す。

【0030】

【表1】

W膜中Na、K分析結果

放電時間(分)	1	4	6	9	11	14	16
Na ppm	0.08	0.02	0.01	0.02	0.01	0.01	<0.01
Si ppm	1.7	1.2	1.4	1.2	1.2	0.9	0.7
K ppm	<0.03	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	19	21	24	26	29	31	34
Na ppm	0.01	0.02	0.02	0.02	0.02	0.02	0.01
Si ppm	0.6	0.6	0.46	0.37	0.27	0.32	0.27
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

放電時間(分)	36	39	41	44	46	49
Na ppm	0.02	0.02	0.02	0.02	0.02	0.02
Si ppm	0.2	0.19	0.16	0.17	0.19	12000
K ppm	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01

※ 1)分析値は、W=100%とした時のRSF換算濃度である。

【0031】

なお、本明細書中のG D M S分析法とは、グロー放電質量分析法 (Glow Discharge Mass Spectrometry) の略であり、グロー放電により試料をスパッタ、イオン化して取り出す固体質量分析法である。G D M S分析法は、安定したイオン源が得られることにより、微量分析法として広く活用されている分析方法である。

【0032】

表1及び図25に示したように、タンクスチタン膜のナトリウム (Na) 濃度を0.1 ppm以下とすることができ、ゲート配線として用いてもTFT特性に影響を与えない範囲内に抑えることができた。仮に、ゲート電極中にナトリウム (Na) 濃度が多く含まれていた場合は、TFT特性に悪影響を与えてしまう。

【0033】

また、半導体装置の配線を、タンクスチタン膜と、窒化されたタンクスチタン膜との積層構造としてもよい。例えば、絶縁表面上に窒化タンクスチタン (WN_x (但し、0 < x < 1)) を成膜後、タンクスチタン (W) を積層する。また、密着性を向上させるために導電性を有する珪素膜 (例えばリンドープシリコン膜、ボロンドープシリコン膜等) を窒化タンクスチタン (WN_x) の下層に設ける構成としてもよい。なお、この配線の線幅は3 μm以下、膜厚は0.1 ~ 0.7 μmで形成す

ることができる。

【0034】

図26(a)に本発明のタンゲステン膜の応力値、図26(b)に熱処理(500°C、4時間)後の応力値、図26(c)に熱処理(800°C、4時間)後の応力値を示した。タンゲステン膜の成膜条件は、アルゴンガスの流量を100sccmとし、スパッタ電力を6kWとした。ただし、図26(b)及び図26(c)においては、熱処理する際、200nmの酸化窒化珪素膜SiO_xN_y(但し、0<x、y<1)で覆っている。

【0035】

本発明のタンゲステン膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、さらに引張応力が増加する傾向を有しているため、膜応力の制御を行いやすい。

【0036】

また、一般的な高融点金属の比較例として、図26(a)にタンタルと窒化タンタルの積層膜の応力値、図26(b)に熱処理(500°C、4時間)後の応力値、図26(c)に熱処理(800°C、4時間)後の応力値を示している。同様に図26(b)及び図26(c)においては、熱処理する際、200nmの酸化窒化珪素膜SiO_xN_y(但し、0<x、y<1)で覆っている。

【0037】

図26(a)～図26(c)に示すように、タンタルと窒化タンタルの積層膜は、熱処理の温度を上げるにつれて、最初は引張応力を有する膜であったものが、熱処理を加えると、圧縮応力を有する膜へと移行する傾向があるため、膜応力の制御が困難である。

【0038】

また、図27(a)に本発明のタンゲステン膜の抵抗率、図27(b)に熱処理(500°C、4時間)後の抵抗率、図27(c)に熱処理(800°C、4時間)後の抵抗率を示した。なお、ここでの抵抗率とは電気抵抗率のことである。

【0039】

図27(a)～図27(c)に示すように、本願のタンゲステン膜は、低抵抗

率（12～16 $\mu\Omega \cdot \text{cm}$ 程度）を有しており、熱処理後もほとんど抵抗率の変化は見られない。なお、さらにスパッタ条件を適宜変更することによりタンゲステン膜の抵抗率を $12 \mu\Omega \cdot \text{cm}$ 以下、好ましくは $9 \mu\Omega \cdot \text{cm}$ 程度にすることも可能である。

【0040】

一方、一般的な高融点金属は酸化に対して耐性がなく、数 ppm の残留酸素が存在する雰囲気での熱処理で容易に酸化してしまっていた。その結果、電気抵抗率の増大や膜剥がれが生じていた。また、イオンドーピングの際、反応ガスに含まれている微量な酸素等の不純物元素が高融点金属膜に注入されることによっても電気抵抗率が増大していた。

【0041】

例えば、タンタルと窒化タンタルの積層膜は、熱処理する際、200 nm の酸化窒化珪素膜 SiO_xNy （但し、 $0 < x, y < 1$ ）で覆われているのにも関わらず、熱処理前の抵抗率（ $25 \mu\Omega \cdot \text{cm}$ 程度）と比べて、熱処理後の抵抗率（ $50 \sim 80 \mu\Omega \cdot \text{cm}$ 程度）は数倍に増大していた。

【0042】

また、通常、他の導電膜とのコンタクトを形成する場合には、他の導電膜を成膜する前に薄い酸化膜及び汚染物を除去するエッチング処理を行っている。次に、図29に示す構造を基板60上に形成する際、熱処理（500°C、1時間）の有無と、電極62（Al-Si（2wt%））の成膜前にエッチング処理（1/10HF）の有無での、抵抗値の比較を行った結果を表2に示す。

【0043】

【表2】

ゲート材料	熱処理 (500°C, 1hr)	1/10HF処理	接触面積3 μm ² 当たりの 抵抗値(Ω)
W/WN	有り	有り	12
	有り	なし	12
	なし	有り	11
	なし	なし	7.8
Ta/TaN	有り	有り	3.8k
	有り	なし	7.8k
	なし	有り	43
	なし	なし	178

【0044】

なお、コンタクト数は50個とし、接触面積の合計は約420 μm²として、タンタルと窒化タンタルの積層構造を有する電極と、タンゲステン膜と窒化タンゲステン膜との積層構造を有する電極とで比較を行った。なお、表2においては、接触面積3 μm²当たりの抵抗値を示した。

【0045】

表2では、タンタルと窒化タンタルの積層構造を有する電極61と電極62(A1-Si(2wt%))とのコンタクト抵抗は、エッチング処理(1/10HF)が有りの場合のほうが、無しの場合よりも抵抗値は下がっている。また、タンタルと窒化タンタルの積層構造を有する配線のコンタクト抵抗は熱処理を施した場合、急激な増大が見られ、その値は数kΩに達している。

【0046】

一方、タンゲステン膜と窒化タンゲステン膜との積層構造を有する電極61と電極62(A1-Si(2wt%))とのコンタクト抵抗は、熱処理及びエッチング処理(1/10HF)の有無に関わらず変化が見られない。また、表2においては熱処理する際、図2のように酸化窒化珪素膜で覆っていない。

【0047】

即ち、本発明のタンゲステン膜は、熱処理する際、酸化窒化珪素膜等で覆わなくとも抵抗率はほとんど変化しない。これらのことから、本発明のタンゲステン膜は、非常に耐熱性が高く、且つ、酸化されない膜であることがわかる。また、

本発明のタンクスチタン膜を用いた場合、このエッチング処理を省略することが可能である。

【0048】

本発明は、膜中に含まれるナトリウムが0.01 ppm以下であり、且つ、熱処理後も低い電気抵抗率（ $20 \mu\Omega \cdot \text{cm}$ 以下）を有し、応力が $-5 \times 10^{10} \text{ dy n/cm}^2$ ～ $5 \times 10^{10} \text{ dy n/cm}^2$ に制御されたタンクスチタン膜をTFTのゲート配線材料やその他の配線材料として用いることにより、TFTを備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【0049】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0050】

【実施例】

【実施例1】

本発明の実施例について図1～図5を用いて説明する。ここでは、画素回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ回路、バッファ回路等の基本回路であるCMOS回路と、サンプリング回路を形成するnチャネル型TFTとを図示することとする。

【0051】

図1（A）において、基板100には、ガラス基板や石英基板を使用することが望ましい。本実施例ではガラス基板を用いた。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0052】

そして、基板100のTFTが形成される表面には、珪素（シリコン）を含む絶縁膜（本明細書中では酸化珪素膜、窒化珪素膜、または酸化窒化珪素膜の総称を指す）からなる下地膜101をプラズマCVD法やスパッタ法で100～400 nmの厚さに形成した。なお、本明細書中において酸化窒化珪素膜とはSiO₂

xNy (但し、 $0 < x, y < 1$) で表される絶縁膜であり、珪素、酸素、窒素を所定の割合で含む絶縁膜を指す。また、酸化窒化珪素膜は、 SiH_4 と N_2O と NH_3 を原料ガスとして作製すればよく、含有する窒素濃度を 25 atomic%以上 50 atomic%未満とすると良い。

【0053】

本実施例では、下地膜 101 として、酸化窒化珪素膜を 25~100 nm、ここでは 50 nm の厚さに、酸化珪素膜を 50~300 nm、ここでは 150 nm の厚さとした 2 層構造で形成した。下地膜 101 は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0054】

次に下地膜 101 の上に 20~100 nm の厚さの、非晶質構造を含む半導体膜（本実施例では非晶質シリコン膜（図示せず））を公知の成膜法で形成した。なお、非晶質構造を含む半導体膜としては、非晶質半導体膜、微結晶半導体膜があり、さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜も含まれる。

【0055】

そして、特開平7-130652号公報（U.S.P. 643, 826 号に対応）に記載された技術に従って、結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）102を形成した。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数種の元素、代表的にはニッケル）を用いる結晶化手段である。

【0056】

具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例 1 に記載された技術を用いるが、実施例 2 に記載された技術を用いても良い。なお、結晶質シリコン膜には、いわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒

界を有するシリコン膜である。（図1（A））

【0057】

非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱して脱水素処理を行い、含有水素量を5 atom%以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0058】

ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製されるTFTの特性バラツキを低減させることができる。

【0059】

次に、結晶質シリコン膜102に対してレーザー光源から発する光（レーザー光）を照射（以下、レーザーランプといふ）して結晶性の改善された結晶質シリコン膜103を形成した。レーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。（図1（B））

【0060】

また、レーザー光の代わりにランプから発する光（ランプ光）を照射（以下、ランプランプといふ）しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0061】

なお、このようにレーザー光またはランプ光により熱処理（ランプランプといふ）する工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーネスアニール（熱アニールともいふ）で代用することもできる。

【0062】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行った。レーザーアニール条件は、励起ガスとしてXeClガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を250~500mJ/cm²（代表的には350~400mJ/cm²）とした。

【0063】

上記条件で行われたレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第1アニール条件と呼ぶことにする。

【0064】

次に、結晶質シリコン膜103上に後の不純物添加のために保護膜104を形成した。保護膜104は100~200nm（好ましくは130~170nm）の厚さの酸化窒化珪素膜または酸化珪素膜を用いた。この保護膜104は不純物添加時に結晶質シリコン膜が直接プラズマに曝されないようにするために、微妙な濃度制御を可能にするための意味がある。

【0065】

そして、その上にレジストマスク105を形成し、保護膜104を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加した。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。

【0066】

この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度でp型不純物元素（本実施例ではボロン）を含む不純物領域106を形成した。なお、本明細書中では少なくとも上記濃度範囲で

p型不純物元素を含む不純物領域をp型不純物領域（b）と定義する。（図1（C））

【0067】

次に、レジストマスク105を除去し、新たにレジストマスク107～110を形成した。そして、n型を付与する不純物元素（以下、n型不純物元素という）を添加してn型を呈する不純物領域111～113を形成した。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリンまたは砒素を用いることができる。（図1（D））

【0068】

この低濃度不純物領域111～113は、後にCMOS回路およびサンプリング回路のnチャネル型TFTにおいて、LDD領域として機能させるための不純物領域である。なお、ここで形成された不純物領域にはn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で含まれている。本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（b）と定義する。

【0069】

なお、ここではfosfin（PH₃）を質量分離しないでプラズマ励起したイオンドープ法でリンを $1 \times 10^{18} \text{atoms/cm}^3$ の濃度で添加した。この工程では、保護膜107を介して結晶質シリコン膜にリンを添加した。

【0070】

次に、保護膜104を除去し、再びレーザー光の照射工程を行った。ここでもレーザー光としては、パルス発振型または連続発振型のエキシマレーザー光が望ましいが、連続発振型のアルゴンレーザー光でも良い。また、レーザー光のビーム形状は線状であっても矩形状であっても構わない。但し、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜104をつけたままレーザーアニール工程を行うことも可能である。（図1（E））

【0071】

本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーア

ニール工程を行った。レーザーニール条件は、励起ガスとしてKrFガスを用い、処理温度を室温、パルス発振周波数を30Hzとし、レーザーエネルギー密度を100～300mJ/cm²（代表的には150～250mJ/cm²）とした。

【0072】

上記条件で行われた光アニール工程は、添加されたn型またはp型を付与する不純物元素を活性化すると共に、不純物元素の添加時に非晶質化した半導体膜を再結晶化する効果を有する。なお、上記条件は半導体膜を溶融させることなく原子配列の整合性をとり、且つ、不純物元素を活性化することが好ましい。また、本工程は光アニールによりn型またはp型を付与する不純物元素を活性化する工程、半導体膜を再結晶化する工程、またはそれらを同時にを行う工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。本明細書中ではこのような条件を第2アニール条件と呼ぶことにする。

【0073】

この工程によりn型不純物領域（b）111～113の境界部、即ち、n型不純物領域（b）の周囲に存在する真性な領域（p型不純物領域（b）も実質的に真性とみなす）との接合部が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0074】

なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0075】

次に、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）114～117を形成した。（図1（F））

【0076】

次に、活性層114～117を覆ってゲート絶縁膜118を形成した。ゲート絶縁膜118は、10～200nm、好ましくは50～150nmの厚さに形成

すれば良い。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした酸化窒化珪素膜を115nmの厚さに形成した。(図2(A))

【0077】

次に、ゲート配線となる高融点金属膜を形成した。なお、ゲート配線は単層の高融点金属膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。本実施例では、第1の高融点金属膜119と第2の高融点金属膜120とでなる積層膜を形成した。(図2(B))

【0078】

ここで第1の高融点金属膜119、第2の高融点金属膜120としては、タンゲステン(W)を主成分とする導電膜(代表的には窒化タンゲステン膜)、または合金膜(代表的にはMo-W合金)を用いることができる。

【0079】

なお、第1の高融点金属膜119は10~50nm(好ましくは20~30nm)とし、第2の高融点金属膜120は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、第1の高融点金属膜119として、50nm厚の窒化タンゲステン(WNx)膜を、第2の高融点金属膜120として、350nm厚のタンゲステン(W)膜を用いた。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。本実施例では、6N(99.9999%)のタンゲステンターゲットを用い、スパッタガスとしてはアルゴン(Ar)の単体ガスを用いた。また、基板温度を200°Cとし、スパッタガスの圧力を1.5Paとすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10}$ dyn/cm²、好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10}$ dyn/cm²の範囲内に制御した。こうして、本願のタンゲステン膜のナトリウム(Na)濃度はGDMS分析で0.1ppm以下とすることができます、ゲート配線として用いても TFT特性に影響を与えない範囲内にすることができた。

【0080】

なお、図示しないが、第1の高融点金属膜119の下にシリコン膜を2~20nm程度の厚さで形成しておくことは有効である。これによりその上に形成される高融点金属膜の密着性の向上及び酸化防止を図ることができる。

【0081】

次に、レジストマスク123～125を形成した後、第1の高融点金属膜119と第2の高融点金属膜120とをエッティングして、厚さ400nmを有するpチャネル型TFTのゲート配線121及び配線122を形成した。

【0082】

そして、レジストマスク123～125を設けたまま、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域126、127を形成した。このレジストマスク123～125は、p型不純物元素の添加工程の際、高融点金属膜に不純物、特に酸素が注入されて抵抗率が増大するのを防ぐ役割を果たしている。ここではジボラン（B₂H₆）を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21}$ atoms/cm³（代表的には $5 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³）濃度でボロンを添加した。なお、本明細書中では上記濃度範囲でp型不純物元素を含む不純物領域をp型不純物領域（a）と定義する。（図2（D））勿論、ゲート絶縁膜をエッティングして、活性層を露呈させてドーピングを行い不純物領域を形成しても良い。

【0083】

次に、レジストマスク123～125を除去した後、レジストマスク131～135を形成し、エッティングしてnチャネル型TFTのゲート配線128～130を形成した。この時、制御回路に形成されるゲート配線128、129はn型不純物領域（b）111～113の一部とゲート絶縁膜を介して重なるように形成した。この重なった部分が後にLov領域となる。なお、ゲート配線130は断面では二つに見えるが、実際は連続的に繋がった一つのパターンから形成されている。（図2（E））

【0084】

そして、レジストマスク131～135を設けたまま、131～135をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加した。このレジストマスク131～135は、p型不純物元素の添加工程の際、高融点金属膜に不純物、特に酸素が注入されて抵抗率が増大するのを防ぐ役割を果たしている。勿論、ゲート絶縁膜をエッティングして、活性層を露呈させてドーピングを行い

不純物領域を形成しても良い。こうして形成された不純物領域136～139には前記n型不純物領域（b）の1/2～1/10（代表的には1/3～1/4）の濃度（但し、前述のチャネルドープ工程で添加されたボロン濃度よりも5～10倍高い濃度、代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³、典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm³、）でリンが添加されるように調節した。なお、本明細書中では上記濃度範囲でn型不純物元素を含む不純物領域をn型不純物領域（c）と定義する。（図3（A））

【0085】

なお、この工程ではレジストマスク131～135で隠された部分を除いて全てのn型不純物領域（b）にも $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンが添加されているが、非常に低濃度であるためn型不純物領域（b）としての機能には影響を与えない。また、n型不純物領域（b）136～139には既にチャネルドープ工程で $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³の濃度のボロンが添加されているが、この工程ではp型不純物領域（b）に含まれるボロンの5～10倍の濃度でリンが添加されるので、この場合もボロンはn型不純物領域（b）の機能には影響を与えないと考えて良い。また、p型不純物領域（a）にも $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度でリンが添加されているが、非常に低濃度であるためp型不純物領域（a）としての機能には影響を与えない。

【0086】

但し、厳密にはn型不純物領域（b）111～113のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0087】

次に、レジストマスク131～135を保持したまま、新たにレジストマスク140～142を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域143～149を形成した。勿論、ゲート絶縁膜をエッチングして、活性層を露呈させてドーピングを行い不純物領域を形成しても良い。ここでも、fosfain（PH₃）を用いたイオンドープ法で行い、この領

域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21}$ atoms/cm³) とした。 (図3 (B))

【0088】

なお、本明細書中では上記濃度範囲で n 型不純物元素を含む不純物領域を n 型不純物領域 (a) と定義する。また、不純物領域 143～149 が形成された領域には既に前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくて良い。従って、本明細書中では不純物領域 143～149 は n 型不純物領域 (a) と言い換えて構わない。

【0089】

また、不純物領域 126、127 の一部 (マスク 132 に重ならない領域の p 型不純物領域 (a)) にも $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ の濃度でリンが添加されるが、既にボロンはその少なくとも 3 倍以上の濃度で添加されている。そのため、予め形成されていた p 型の不純物領域は N 型に反転することなく、P 型の不純物領域として機能する。

【0090】

また、上記各不純物領域の形成においては、レジストマスクをゲート電極の上面に保持したままイオンドーピングを行う例を示したが、レジストマスクに代えて、マスク等を用いてパターニングされた珪素を主成分とするマスクであってもよい。ただし、このマスクは、ゲート電極への酸素イオン等の注入を防止しうる膜厚が必要である。なお、珪素を主成分とするマスクは、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0091】

次に、レジストマスク 131～135、140～142 を除去した後、第 1 の層間絶縁膜の一部となる絶縁膜 151 を形成した。絶縁膜 151 は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 0.1～0.4 μm とすれば良い。本実施例では、プラズマ CVD 法で SiH₄、N₂O、NH₃ を原料ガスとし、0.3 μm 厚の酸化窒化珪素膜 (但し窒素濃度が 25～50 atomic%) を用いた。

【0092】

その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーランプ法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300~650°C、好ましくは400~550°C、ここでは550°C、4時間の熱処理を行った。(図3(C))

【0093】

この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前述の図3(B)の工程で形成された高濃度にリンを含む領域に捕獲(ゲッタリング)された。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域152~156は前記触媒元素の濃度が 1×10^{17} atoms/cm³以下(好ましくは 1×10^{16} atoms/cm³以下)となった。

【0094】

また逆に、触媒元素のゲッタリングサイトとなった領域(図3(B)の工程で不純物領域143~149が形成された領域及び不純物領域126、127の一部)は高濃度に触媒元素が偏析して 5×10^{18} atoms/cm³以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20}$ atoms/cm³)濃度で存在するようになった。

【0095】

さらに、3~100%の水素を含む雰囲気中で、300~450°Cで1~12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0096】

活性化工程を終えたら、絶縁膜151の上に0.5~1.5μm厚の層間絶縁膜157を形成した。本実施例では層間絶縁膜157として0.7μm厚の酸化珪素膜をプラズマCVD法により形成した。こうして絶縁膜(酸化珪素膜)

151と層間絶縁膜（酸化珪素膜）157との積層膜でなる1μm厚の第1の層間絶縁膜を形成した。

【0097】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース配線158～161と、ドレイン配線162～165を形成した。なお、図示されていないがCMOS回路を形成するためにドレイン配線162、163は同一配線として接続されている。また、図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0098】

次に、パッシベーション膜166として、窒化珪素膜、酸化珪素膜、または酸化窒化珪素膜で50～500nm（代表的には200～300nm）の厚さで形成した。この時、本実施例では膜の形成に先立ってH₂、NH₃等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行った。この前処理により励起された水素が第1の層間絶縁膜中に供給される。この状態で熱処理を行うことで、パッシベーション膜166の膜質を改善するとともに、第1の層間絶縁膜中に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができた。

【0099】

また、パッシベーション膜166を形成した後に、さらに水素化工程を行っても良い。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜166に開口部を形成しておいても良い。

【0100】

その後、有機樹脂からなる第2の層間絶縁膜167を約1μmの厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド

、 BCB (ベンゾシクロブテン) 等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300°Cで焼成して形成した。

【0101】

次に、画素回路となる領域において、第2の層間絶縁膜167上に遮蔽膜168を形成した。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。

【0102】

遮蔽膜168はアルミニウム(A1)、チタン(Ti)、タンタル(Ta)から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で100~300nmの厚さに形成した。本実施例では1wt%のチタンを含有させたアルミニウム膜を125nmの厚さに形成した。

【0103】

なお、第2の層間絶縁膜167上に酸化珪素膜等の絶縁膜を5~50nm形成しておくと、この上に形成する遮蔽膜の密着性を高めることができた。また、有機樹脂で形成した第2の層間絶縁膜167の表面にCF₄ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜の密着性を向上させることができた。

【0104】

また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、制御回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第2の層間絶縁膜にコンタクトホールを形成しておく必要がある。

【0105】

次に、遮蔽膜168の表面に陽極酸化法またはプラズマ酸化法(本実施例では陽極酸化法)により20~100nm(好ましくは30~50nm)の厚さの酸

化物169を形成した。本実施例では遮蔽膜168としてアルミニウムを主成分とする膜を用いたため、陽極酸化物169として酸化アルミニウム膜（アルミナ膜）が形成された。

【0106】

この陽極酸化処理に際して、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2:8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節した。そして、この溶液中に陰極となる白金電極を設け、遮蔽膜164が形成されている基板を溶液に浸し、遮蔽膜168を陽極として、一定（数mA～数十mA）の直流電流を流した。

【0107】

溶液中の陰極と陽極との間の電圧は陽極酸化物の成長に従い時間と共に変化するが、定電流のまま100V/minの昇圧レートで電圧を上昇させて、到達電圧45Vに達したところで陽極酸化処理を終了させた。このようにして遮蔽膜168の表面には厚さ約50nmの陽極酸化物169を形成することができた。また、その結果、遮蔽膜168の膜厚は90nmとなった。なお、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。

【0108】

また、ここでは陽極酸化法を用いて遮蔽膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は20～100nm（好ましくは30～50nm）とすることが好ましい。また、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0109】

次に、第2の層間絶縁膜167、パッシベーション膜166にドレイン配線165に達するコンタクトホールを形成し、画素電極170を形成した。なお、画素電極171、172はそれぞれ隣接する別の画素の画素電極である。画素電極

170～172は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

【0110】

また、この時、画素電極170と遮蔽膜168とが陽極酸化物169を介して重なり、保持容量（キャパシタンス・ストレージ）173を形成した。なお、この場合、遮蔽膜168をフローティング状態（電気的に孤立した状態）か固定電位、好ましくはコモン電位（データとして送られる画像信号の中間電位）に設定しておくことが望ましい。

【0111】

こうして同一基板上に、駆動回路と画素回路とを有したアクティブマトリクス基板が完成した。なお、図4（A）においては、駆動回路にはpチャネル型TFT301、nチャネル型TFT302、303が形成され、画素回路にはnチャネル型TFTでなる画素TFT304が形成された。

【0112】

駆動回路のpチャネル型TFT301には、チャネル形成領域201、ソース領域202、ドレイン領域203がそれぞれp型不純物領域（a）で形成された。但し、実際にはソース領域またはドレイン領域の一部に $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度でリンを含む領域が存在する。また、その領域には図3（C）の工程でゲッタリングされた触媒元素が 5×10^{18} atoms/cm³以上（代表的には $1 \times 10^{19} \sim 5 \times 10^{20}$ atoms/cm³）濃度で存在する。

【0113】

また、nチャネル型TFT302には、チャネル形成領域204、ソース領域205、ドレイン領域206、そしてチャネル形成領域の片側（ドレイン領域側）に、ゲート絶縁膜を介してゲート配線と重なった領域（本明細書中ではこのような領域をLov領域という。なお、ovはoverlapの意味で付した。）207が形成された。この時、Lov領域207は $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の濃度でリンを含み、且つ、ゲート配線と全部重なるように形成された。

【0114】

また、nチャネル型TFT303には、チャネル形成領域208、ソース領域209、ドレイン領域210、そしてチャネル形成領域の両側にLDD領域211、212が形成された。なお、この構造ではLDD領域211、212の一部がゲート配線と重なるように配置されたために、ゲート絶縁膜を介してゲート配線と重なった領域(Lov領域)とゲート配線と重ならない領域(本明細書中ではこのような領域をLoff領域という。なお、offはoffsetの意味で付した。)が実現されている。

【0115】

ここで図5に示す断面図は図4(A)に示したnチャネル型TFT303を図3(C)の工程まで作製した状態を示す拡大図である。ここに示すように、LDD領域211はさらにLov領域211a、Loff領域211bに区別できる。また、前述のLov領域211aには $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³の濃度でリンが含まれるが、Loff領域211bはその1~2倍(代表的には1.2~1.5倍)の濃度でリンが含まれる。

【0116】

また、画素TFT304には、チャネル形成領域213、214、ソース領域215、ドレイン領域216、Loff領域217~220、Lov領域218、219に接したn型不純物領域(a)221が形成された。この時、ソース領域215、ドレイン領域216はそれぞれn型不純物領域(a)で形成され、Loff領域217~220はn型不純物領域(c)で形成された。

【0117】

本実施例では、画素回路および駆動回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

【0118】

例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT302は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などの駆動回路に適している。

【0119】

また、nチャネル型TFT303はホットキャリア対策と低オフ電流動作の双方を重視するサンプリング回路（サンプルホールド回路）に適している。

【0120】

また、nチャネル型TFT304は低オフ電流動作を重視した画素回路、サンプリング回路（サンプルホールド回路）に適している。

【0121】

また、チャネル長 $3 \sim 7 \mu\text{m}$ に対してnチャネル型TFT302のL_{ov}領域207の長さ（幅）は $0.3 \sim 3.0 \mu\text{m}$ 、代表的には $0.5 \sim 1.5 \mu\text{m}$ とすれば良い。また、nチャネル型TFT303のL_{ov}領域211a、212aの長さ（幅）は $0.3 \sim 3.0 \mu\text{m}$ 、代表的には $0.5 \sim 1.5 \mu\text{m}$ 、L_{off}領域211b、212bの長さ（幅）は $1.0 \sim 3.5 \mu\text{m}$ 、代表的には $1.5 \sim 2.0 \mu\text{m}$ とすれば良い。また、画素TFT304に設けられるL_{off}領域217～220の長さ（幅）は $0.5 \sim 3.5 \mu\text{m}$ 、代表的には $2.0 \sim 2.5 \mu\text{m}$ とすれば良い。

【0122】

なお、pチャネル型TFT301は自己整合（セルファーライン）的に形成され、nチャネル型TFT302～304は非自己整合（ノンセルファーライン）的に形成されている。

【0123】

また、本実施例では保持容量の誘電体として比誘電率が7～9と高いアルミナ膜を用いたことで、必要な容量を形成するための面積を少なくすることを可能とした。さらに、本実施例のように画素TFT上に形成される遮蔽膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができた。

【0124】

なお、本発明は本実施例に示した保持容量の構造に限定される必要はない。例えば、本出願人による特願平9-316567号出願や特願平10-254097号出願に記載された保持容量の構造を用いることもできる。

【0125】

次に、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図4 (B) に示すように、図4 (A) の状態の基板に対し、配向膜401を形成した。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板402には、透明導電膜403と、配向膜404とを形成した。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0126】

次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素回路と、制御回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせた。その後、両基板の間に液晶405を注入し、封止剤（図示せず）によって完全に封止した。液晶には公知の液晶材料を用いれば良い。このようにして図4 (B) に示すアクティブマトリクス型液晶表示装置が完成した。

【0127】

次に、このアクティブマトリクス型液晶表示装置の構成を、図6の斜視図を用いて説明する。尚、図6は、図1～図4の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板101上に形成された、画素回路601と、走査（ゲート）線側駆動回路602と、画像（ソース）線側駆動回路603で構成される。画素回路の画素TFT304はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート線側駆動回路602と、ソース線側駆動回路603はそれぞれゲート配線130とソース配線161で画素回路601に接続されている。また、FPC604が接続された外部入出力端子605から駆動回路の入出力端子までの接続配線606、607が設けられている。

【0128】

[実施例2]

図7は、実施例1で示したアクティブマトリクス基板の回路構成の一例を示す。本実施例のアクティブマトリクス基板は、ソース信号線側駆動回路701、ゲート信号側駆動回路(A)707、ゲート信号側駆動回路(B)711、プリチャージ回路712、画素回路706を有している。なお、本明細書中において、駆動回路とはソース信号線側駆動回路701およびゲート信号側駆動回路707、711を含めた総称である。

【0129】

ソース信号線側駆動回路701は、シフトレジスタ回路702、レベルシフタ回路703、バッファ回路704、サンプリング回路705を備えている。また、走査信号制御回路(A)707は、シフトレジスタ回路708、レベルシフタ回路709、バッファ回路710を備えている。ゲート信号側駆動回路(B)711も同様な構成である。

【0130】

ここでシフトレジスタ回路702、708は駆動電圧が5～16V（代表的には10V）であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図4（A）の302で示される構造が適している。

【0131】

また、レベルシフタ回路703、709、バッファ回路704、710は、駆動電圧は14～16Vと高くなるが、シフトレジスタ回路と同様に、図4（A）のnチャネル型TFT302を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0132】

また、サンプリング回路705は駆動電圧が14～16Vであるが、ソース領域とドレイン領域が反転する上、オフ電流値を低減する必要があるので、図4（A）のnチャネル型TFT303を含むCMOS回路が適している。なお、図4（A）ではnチャネル型TFTしか図示されていないが、実際にサンプリング回

路を形成する時はnチャネル型TFTとpチャネル型TFTとを組み合わせて形成することになる。

【0133】

また、画素回路706は駆動電圧が14~16Vであり、サンプリング回路705よりもさらにオフ電流値が低いことを要求するので、LoV領域を配置しない構造とすることが望ましく、図4(A)のnチャネル型TFT304を画素TFTとして用いることが望ましい。

【0134】

なお、本実施例の構成は、実施例1に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素回路と駆動回路の構成のみ示しているが、実施例1の作製工程に従えば、その他にも信号分割回路、分周波回路、D/Aコンバータ回路、オペアンプ回路、γ補正回路、さらにはメモリ回路やマイクロプロセッサ回路などの信号処理回路（論理回路と言っても良い）を同一基板上に形成することも可能である。

【0135】

このように本発明は、同一基板上に画素回路と該画素回路を駆動するための駆動回路とを少なくとも含む半導体装置、例えば同一基板上に信号処理回路、制御回路および画素回路とを具備した半導体装置を実現しうる。

【0136】

【実施例3】

本実施例では、実施例1とは異なる工程でTFTを作製する場合について図8を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0137】

まず、実施例1の工程に従って図3(B)までを形成する。この図3(B)に対応する図が図8(A)である。

【0138】

次に、レジストマスク131~135、140~142を除去した後、ゲート

配線121、128～130および配線122に窒化処理を施した。

【0139】

ここで窒化処理とは、熱窒化（アンモニア中または活性な窒素原子を含む雰囲気中での熱処理）、またはプラズマ窒化（高真空状態の反応室にアンモニアガスまたは窒素ガスを導入し、高周波電力を印加することによってプラズマを発生させる処理）を指す。

【0140】

本実施例ではアンモニアガスを用いたプラズマ窒化を行い、ゲート配線及び配線の表面に窒化物膜506～510を形成した。（図8（B））このプラズマ窒化を行うことでピンホールの発生を抑えることができる。なお、タンゲステンの窒化物は十分な導電性を有しているため、配線として機能する。

【0141】

次いで、実施例1と同様に熱処理を行い、不純物元素の活性化および触媒元素の低減を行った。（図8（C））なお、この熱処理を行う前に実施例1と同様に薄い窒化珪素膜からなる保護膜を形成してもよい。

【0142】

また、図8（B）の工程の温度を上げて、ゲート電極の窒化物膜形成と同時に、不純物元素の活性化および触媒元素の低減を一度に行い、図8（C）の工程を省略してスループットを向上させてもよい。

【0143】

こうして、配線の耐酸化性を向上させるとともに、配線の低い電気抵抗率を保持することができた。

【0144】

この後は、実施例1の工程に従って図1（E）以降の工程を行えば良い。（図8（D））なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。

【0145】

[実施例4]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について

説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0146】

まず、実施例1の工程に従って保護膜104までを形成する。そして、その上にレジストマスクを形成し、図1(D)と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域(b)が形成される。

【0147】

次に、レジストマスクを除去し、新たにレジストマスクを形成する。そして、図1(C)と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域(b)が形成される。

【0148】

この後は、実施例1の工程に従って図1(E)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0149】

【実施例5】

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図9を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0150】

まず、実施例1の工程に従って図1(B)の工程まで行う。そして、形成された結晶質シリコン膜103をパターニングして活性層901～904を形成し、その上に珪素を含む絶縁膜(本実施例では酸化珪素膜)でなる保護膜905を120～150nmの形成する。(図9(A))

【0151】

なお、本実施例ではレーザーアニール工程(第1アニール条件)の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可

能である。

【0152】

次に、レジストマスク906～909を形成し、図1（D）と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域（b）910～912が形成される。（図9（B））

【0153】

次に、レジストマスク906～909を除去し、新たにレジストマスク913を形成する。そして、図1（C）と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域（b）914～916が形成される。（図9（C））

【0154】

その後、レジストマスク913を除去し、図1（E）と同一の条件でレーザーニール工程（第2アニール条件）を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。（図9（D））

【0155】

この後は、実施例1の工程に従って図2（A）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0156】

[実施例6]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0157】

まず、実施例1の工程に従って図1（B）の工程までを行い、実施例5の工程に従って図9（A）の状態を得る。なお、本実施例ではレーザーニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0158】

そして、レジストマスクを形成し、図1 (C) と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域 (b) が形成される。

【0159】

次に、レジストマスクを除去し、新たにレジストマスクを形成する。そして、図1 (D) と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域 (b) が形成される。

【0160】

この後は、実施例5で説明した図9 (D) と同様のレーザーアニール工程（第2アニール条件）を行って添加されたn型またはp型不純物元素の活性化を行い、その後、実施例1の工程に従って図2 (A) 以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0161】

[実施例7]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0162】

まず、実施例1の工程に従って図1 (A) の状態を得る。そして、形成された結晶質シリコン膜102の上に保護膜を120～150nmの厚さに形成する。さらに、その上にレジストマスクを形成し、図1 (C) と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域 (b) が形成される。

【0163】

次に、レジストマスクおよび保護膜を除去し、図1 (B) と同一の条件でレーザーアニール工程（第1アニール条件）を行う。この工程では、レジストマスクで隠されていた結晶質シリコン膜は結晶性が改善され、p型不純物領域 (b) では非晶質化したシリコン膜が再結晶化されると共に、添加されたp型不純物元素が活性化される。

【0164】

次に、再び保護膜を120～150nmの厚さに形成し、レジストマスクを形成する。そして、図1(D)と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域(b)が形成される。)

【0165】

次に、レジストマスクおよび保護膜を除去し、図1(E)と同一の条件でレーザーアニール工程(第2アニール条件)を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。

【0166】

なお、レーザーアニール工程(第1アニール条件)を、保護膜を残したまま行うことでもできる。その場合、新たに保護膜を形成する工程を削減することができるが、保護膜を介することでレーザー光の減衰があるので、レーザーエネルギー密度を高めに設定することが必要である。また、保護膜はのレーザーアニール工程(第2アニール条件)の時も残しておくことが可能である。この場合も、保護膜を考慮してレーザーエネルギー密度を設定する。

【0167】

この後は、実施例1の工程に従って図1(F)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0168】

また、本実施例では、レーザーアニール工程を2回に分けて行っているが、1回のレーザーアニール工程としてもよい。この場合、レーザーアニール工程を第1アニール条件とする必要があるが、これにより工程数を削減することが可能となる。

【0169】

[実施例8]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図10を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその

他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0170】

まず、実施例1の工程に従って図1 (A) の状態を得る。そして、形成された結晶質シリコン膜102の上に保護膜1001を120～150nmの厚さに形成する。さらに、その上にレジストマスク1002～1005を形成し、図1 (D) と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域 (b) 1006～1008が形成される。(図10 (A))

【0171】

次に、レジストマスク1002～1005および保護膜1001を除去し、図1 (B) と同一の条件でレーザーアニール工程(第1アニール条件)を行う。この工程では、レジストマスク1002～1005で隠されていた結晶質シリコン膜は結晶性が改善され、p型不純物領域 (b) 1006～1008では非晶質化したシリコン膜が再結晶化されると共に、添加されたn型不純物元素が活性化される。(図10 (B))

【0172】

次に、再び保護膜1011を120～150nmの厚さに形成し、レジストマスク1012を形成する。そして、図1 (C) と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域 (b) 1013～1015が形成される。(図10 (C))

【0173】

次に、レジストマスク1012および保護膜1011を除去し、図1 (E) と同一の条件でレーザーアニール工程(第2アニール条件)を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。(図10 (D))

【0174】

なお、図10 (B) の工程を、保護膜1001を残したまま行うこともできる。その場合、新たに保護膜1011を形成する工程を削減することができるが、保護膜を介することでレーザー光の減衰があるので、レーザーエネルギー密度を

高めに設定することが必要である。また、保護膜1001は図10(D)のレーザーアニール工程の時も残しておくことが可能である。この場合も、保護膜を考慮してレーザーエネルギー密度を設定する。

【0175】

この後は、実施例1の工程に従って図1(F)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0176】

また、図10(B)のレーザーアニール工程(第1アニール条件)を省略し、同工程を図10(D)のレーザーアニール工程で兼ねる点に特徴がある。この場合、レーザーアニール工程を第1アニール条件に変更する必要があるが、これにより工程数を削減することが可能となる。

【0177】

[実施例9]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図11を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0178】

まず、実施例1の工程に従って基板100上に下地膜101を形成し、その上に非晶質成分を含む半導体膜を形成する。本実施例では非晶質シリコン膜1101をプラズマCVD法により30nmの厚さに形成する。(図11(A))

【0179】

次に、珪素を含む絶縁膜でなる保護膜1102を120~150nmの厚さに形成した後、レジストマスク1103を形成する。そして、図1(C)と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域(b)1104が形成される。(図11(B))

【0180】

次に、レジストマスク1103を除去し、新たにレジストマスク1106～1108を形成する。そして、図1(D)と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域(b)1109～1111が形成される。(図11(C))

【0181】

次に、保護膜1102を除去した後、特開平130652号公報に記載された技術に従って、n型またはp型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜1112を得る。(図11(D))

【0182】

なお、上記特開平130652号公報の実施例2に記載された技術を用いて結晶化を行う場合、保護膜1102をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0183】

次に、図1(B)と同一の条件でレーザーアニール工程(第1アニール条件)を行う。この工程では、不純物元素が添加されない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加されたn型またはp型不純物元素が活性化される。なお、この工程は図11(D)の結晶化工程で結晶質シリコン膜1112表面に形成された熱酸化膜を除去した後に行なうことが好ましい。(図11(E))

【0184】

この後は、実施例1の工程に従って図1(F)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0185】

[実施例10]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。

また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0186】

まず、実施例9の工程に従って図11(A)の状態を得る。次に、珪素を含む絶縁膜でなる保護膜を120～150nmの厚さに形成した後、レジストマスクを形成する。そして、図1(D)と同一の条件でn型不純物元素を添加する。こうしてn型不純物領域(b)が形成される。

【0187】

次に、レジストマスクを除去し、新たにレジストマスクを形成する。そして、図1(C)と同一の条件でチャネルドープ工程を行う。こうしてp型不純物領域(b)が形成される。

【0188】

次に、保護膜を除去した後、特開平130652号公報に記載された技術に従って、n型またはp型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜を得る。

【0189】

この後は、実施例9の工程に従って図11(E)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0190】

【実施例11】

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図12を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0191】

まず、実施例1の工程に従って、図1(C)の状態を得る(図12(A)～(C))。ここで図1(E)と同一の条件でレーザーアニール工程(第2アニール条件)を行い、チャネルドープ工程で添加されたp型不純物元素を活性化しても

構わない。

【0192】

次に、結晶質シリコン膜をパターニングして活性層1201～1204を形成する。そして、その上に80～150nm（本実施例では110nm）のゲート絶縁膜1205を形成する。ゲート絶縁膜1205としては珪素を含む絶縁膜を用いることができるが、本実施例では酸化窒化珪素膜を用いる。（図12（D））

【0193】

次に、レジストマスク1205～1208を形成する。そして、図1（D）と同様にn型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図1（D）の場合と異なる加速電圧を設定する必要がある。こうしてn型不純物領域（b）1209～1211が形成される。（図12（E））

【0194】

次に、レジストマスク1205～1208を除去し、レーザーアニール工程（第2アニール条件）を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。（図12（F））

【0195】

この後は、実施例1の工程に従って図2（B）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0196】

[実施例12]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。ま

た、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0197】

まず、実施例1の工程に従って図1 (B) の工程までを行い、実施例5の工程に従って図9 (A) の状態を得る。なお、本実施例ではレーザーアニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。次いで、マスクを形成した後、チャネルドープ工程を行う。また、本実施例では活性層形成工程の後でチャネルドープ工程を行う例を示しているが、この順序を逆にすることも可能である。

【0198】

この後は、実施例11に従って図12 (E) ~ (F) の工程を行い、その後、実施例1の工程に従って以降の工程を行えば良い。

【0199】

なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0200】

【実施例13】

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0201】

まず、実施例1の工程に従って図1 (A) の工程までを行い、実施例7の工程に従ってレーザーアニール工程（第1アニール条件）までを行う。次に、レーザーアニール工程（第1アニール条件）を終えた結晶質シリコン膜をパターニングして活性層を形成する。

【0202】

なお、本実施例ではレーザーアニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0203】

次に、実施例11で説明した図12(A)の工程と同様にゲート絶縁膜を形成する。この後は、実施例11に従って図12(A)～(C)の工程を行い、その後、実施例1の工程に従って図2(B)以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0204】

また、レーザーアニール工程（第1アニール条件）を省略し、同工程を、n型不純物領域（b）を形成した後に行うレーザーアニール工程で兼ねる構成としてもよい。この場合、レーザーアニール工程の条件を第1アニール条件に変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。

【0205】

[実施例14]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0206】

まず、実施例9の工程に従って図11(B)の状態を得る（図11(A)、(B)）。次に、レジストマスク1103を除去し、特開平130652号公報に記載された技術に従って、n型またはp型不純物元素が添加された非晶質シリコン膜を結晶化し、結晶質シリコン膜を得る。

【0207】

なお、上記特開平130652号公報の実施例2に記載された技術を用いて結晶化を行う場合、保護膜1102をそのまま残しておくことが可能である。即ち、結晶化を促進する触媒元素を選択的に添加する際のマスク膜として活用することが可能である。

【0208】

次に、図1 (B) と同一の条件でレーザーアニール工程（第1アニール条件）を行う。この工程では、不純物元素の添加されていない結晶質シリコン膜は結晶性が改善され、不純物元素が添加された領域では非晶質化したシリコン膜が再結晶化されると共に、添加されたn型またはp型不純物元素が活性化される。

【0209】

この後は、実施例11に従って図12 (A) ~ (C) の工程を行い、その後、実施例1の工程に従って図2 (B) 以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0210】

また、本実施例でのチャネルドープ工程に代えて、n型不純物領域 (b) を形成するドーピングを行う構成としてもよい。

【0211】

[実施例15]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について図19を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0212】

まず、実施例1の工程に従って、図1 (B) の状態を得る（図13 (A)、(B)）。さらに、実施例4の工程に従って図13 (C) の状態を得る。ここで図1 (E) と同一の条件でレーザーアニール工程（第2アニール条件）を行い、図13 (C) の工程で添加されたn型不純物元素を活性化しても構わない。

【0213】

次に、結晶質シリコン膜をパターニングして活性層1301~1304を形成する。そして、その上に80~150nm（本実施例では110nm）のゲート絶縁膜1305を形成する。ゲート絶縁膜1305としては珪素を含む絶縁膜を

用いることができるが、本実施例では酸化窒化珪素膜を用いる。（図13（D））

【0214】

次に、レジストマスク1306を形成する。そして、図1（C）と同様にp型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図1（C）の場合と異なる加速電圧を設定する必要がある。こうしてp型不純物領域（b）1307～1309が形成される。（図13（E））

【0215】

次に、レジストマスク1306を除去し、レーザーアニール工程（第2アニール条件）を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。

（図13（F））

【0216】

この後は、実施例1の工程に従って図2（B）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0217】

【実施例16】

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0218】

まず、実施例1の工程に従って図1（B）の工程までを行い、次に、実施例5に従って図9（B）の状態を得る。なお、本実施例ではレーザーアニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。また、本実施例では活性層を形成した

後にn型不純物領域（b）を形成しているが、この順序を逆にすることも可能である。

【0219】

この後は、実施例15に従って図13（D）～（F）の工程を行い、その後、実施例1の工程に従って図2（B）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0220】

【実施例17】

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0221】

まず、実施例1の工程に従って図1（A）の工程までを行い、次に、実施例8に従って図10（B）の状態を得る。なお、本実施例ではレーザーアニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0222】

この後は、実施例15に従って図13（D）～（F）の工程を行い、その後、実施例1の工程に従って図2（B）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0223】

また、レーザーアニール工程（第1アニール条件）を省略し、同工程を、n型不純物領域（b）を形成した後に行うレーザーアニール工程で兼ねる構成としてもよい。この場合、レーザーアニール工程の条件を第1アニール条件に変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例

の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。

【0224】

[実施例18]

本実施例では、実施例1とは異なる工程順序でTFTを作製する場合について説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様である。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0225】

まず、実施例1の工程に従って図1 (B) の工程までを行い、次に、実施例5と同様に結晶質シリコン膜103をパターニングして活性層901～904を形成する。なお、本実施例ではレーザーアニール工程（第1アニール条件）の後で結晶質シリコン膜をパターニングする例を示しているが、この順序を逆にすることは可能である。

【0226】

そして、その上に80～150nm（本実施例では110nm）のゲート絶縁膜2301を形成する。ゲート絶縁膜としては珪素を含む絶縁膜を用いることができるが、本実施例では酸化窒化珪素膜を用いる。

【0227】

次に、レジストマスクを形成する。そして、図1 (D) と同様にn型不純物元素を添加する。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図1 (D) の場合と異なる加速電圧を設定する必要がある。こうしてn型不純物領域（b）が形成される。

【0228】

次に、レジストマスクを除去し、新たにレジストマスクを形成する。そして、図1 (C) と同一の条件でチャネルドープ工程を行う。但し、異なる膜厚の絶縁膜を介して不純物元素を添加する際には、図1 (C) の場合と異なる加速電圧を設定する必要がある。こうしてp型不純物領域（b）が形成される。

【0229】

次に、レジストマスクを除去し、レーザーアニール工程（第2アニール条件）

を行う。これにより添加されたn型またはp型の不純物元素が効果的に活性化される。また同時に活性層とゲート絶縁膜の界面も改善される。なお、本実施例の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。（

【0230】

この後は、実施例1の工程に従って図2（B）以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0231】

また、レーザーアニール工程（第1アニール条件）を省略し、同工程を、n型不純物領域（b）を形成した後に行うレーザーアニール工程で兼ねる構成としてもよい。この場合、レーザーアニール工程の条件を第1アニール条件に変更する必要があるが、これにより工程数を削減することが可能となる。但し、本実施例の場合、110nm厚のゲート絶縁膜を介してレーザー光を照射する必要があるので、それを踏まえてレーザーアニール条件を設定しなければならない。

【0232】

[実施例19]

本実施例では、実施例1とは異なる工程でTFTを作製する場合について図14を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0233】

まず、実施例1の工程に従って図2（B）までを形成する。この図2（B）に対応する図が図14（A）である。

【0234】

レジストマスク816～820を形成した後、第1の高融点金属膜119と第2の高融点金属膜120とを一括でエッチングしてゲート配線821～824及び配線を形成した。この時、制御回路に形成されるゲート配線822、823はn

型不純物領域（b）111～113の一部とゲート絶縁膜を介して重なるように形成した。この重なった部分が後にLoV領域となる。（図14（B））

【0235】

次に、ゲート配線821～824をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加した。この時、配線及びゲート配線の形成工程に使用したレジストマスク816～820を存在させたまま不純物を添加した。こうして形成された不純物領域825～830には前記n型不純物領域（b）の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節した。（図14（C））

【0236】

但し、厳密にはn型不純物領域（b）111～113のうちゲート配線に重なった部分のリン濃度が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm³のままであるのに対し、ゲート配線に重ならない部分はそれに $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³の濃度のリンが加わっており、若干高い濃度でリンを含むことになる。

【0237】

このように活性層を露呈させることによって、次に不純物元素の添加工程を行う際に加速電圧を低くすることができる。そのため、また必要なドーズ量が少なくて済むのでスループットが向上する。勿論、ゲート絶縁膜をエッチングして、活性層を露呈させてドーピングを行い不純物領域を形成しても良い。

【0238】

次に、ゲート配線を覆う形でレジストマスク836～838を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域839～847を形成した。（図14（D））

【0239】

次に、nチャネル型TFTを覆う形でレジストマスク848を形成し、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域849、850を形成した。

【0240】

なお、本実施例で用いたマスク816～820、836～838、848は、フ

オトマスクを用いて感光したレジスト等の感光性樹脂からなるマスクを用いたが、レジストマスク等を用いてパターニングされた珪素を主成分とするマスクであってもよい。ただし、同様にマスク816～820、836～838、848は、ゲート電極への酸素イオン等の注入を防止しうる膜厚が必要である。

【0241】

この後は、実施例1の工程に従って図3 (C) 以降の工程を行えば良い。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0242】

[実施例20]

本実施例では、実施例1とは異なる工程でTFTを作製する場合について図15～17を用いて説明する。なお、実施例1とは途中の工程が異なるだけでその他は同様であるので、同じ工程については同一の符号を用いることとする。また、添加する不純物元素も実施例1と同様の不純物元素を例にとる。

【0243】

まず、実施例1の工程に従って図1 (D) までを形成する。この図1 (A) ～図1 (D) にそれぞれ対応する図が図15 (A) ～図15 (D) である。

【0244】

次に、レジストマスク1501～1503を形成し、保護膜104を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加し、高濃度にボロンを含む不純物領域1504、1505を形成した。（図15 (E)）

【0245】

次いで、保護膜104を除去し、再びレーザー光の照射工程を行った。このレーザー光の照射工程は、添加された不純物元素の活性化が目的であるので、結晶質シリコン膜が溶融しない程度のエネルギーで照射することが好ましい。また、保護膜104をつけたままレーザーアニール工程を行うことも可能である。（図16 (A)）

【0246】

次に、結晶質シリコン膜の不要な部分を除去して、実施例1と同様に島状の半導体膜（以下、活性層という）115～117、1506を形成した。（図16（B））

【0247】

次に、実施例1と同様にして活性層114～117を覆ってゲート絶縁膜118を形成した。（図16（C））

【0248】

次に、実施例1と同様にしてゲート配線となる高融点金属膜を形成した。本実施例では、第1の高融点金属膜119として、50nm厚の窒化タンゲステン（WNx）膜を、第2の高融点金属膜120として、350nm厚のタンゲステン膜を用いた。（図16（D））

【0249】

次に、レジストマスク1507～1511を形成し、第1の高融点金属膜119と第2の高融点金属膜120とを一括でエッチングして400nm厚のゲート配線1513～1516及び配線1512を形成した。この時、制御回路に形成されるゲート配線1509、1510はn型不純物領域（b）の一部とゲート絶縁膜を介して重なるように形成した。（図16（E））

【0250】

次に、ゲート配線1513～1516をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加した。こうして形成された不純物領域1517～1522には前記n型不純物領域（b）の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節した。（図16（F））

【0251】

次に、レジストマスク1507～1511を保持したまま、新たにレジストマスク1523～1526を形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域1527～1533を形成した。勿論、ゲート絶縁膜をエッチングして、活性層を露呈させてドーピングを行い不純物領域を形成しても良い。ここでも、フォスフィン（PH₃）を用いたイオンドープ法を行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には

$2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ とした。 (図17 (A))

【0252】

また、上記各不純物領域の形成においては、レジストマスクをゲート電極の上面に保持したままイオンドーピングを行う例を示したが、レジストマスクに代えて、マスク等を用いてパターニングされた珪素を主成分とするマスクであってもよい。ただし、このマスクは、ゲート電極への酸素イオン等の注入を防止しうる膜厚が必要である。なお、珪素を主成分とするマスクは、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0253】

次に、レジストマスク 1507～1511、1523～1526を除去した後、実施例1と同様に第1の層間絶縁膜の一部となる絶縁膜 151を形成した。

【0254】

その後、実施例1と同様にそれぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行った。 (図17 (B))

【0255】

この時、本実施例において非晶質シリコン膜の結晶化に用いた触媒元素（本実施例ではニッケル）が、矢印で示す方向に移動して、前述の工程で形成された高濃度にリンを含む領域に捕獲（ゲッタリング）された。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域 1534、153～156は前記触媒元素の濃度が $1 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）となった。

【0256】

さらに、3～100%の水素を含む雰囲気中で、300～450°Cで1～12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0257】

活性化工程を終えたら、実施例1の工程に従い、図3 (C) 以降の工程を行え

ば良い。ただし、本実施例においては、層間絶縁膜167の形成後、スパッタ法により薄い酸化珪素膜174を形成し、遮蔽膜168と層間絶縁膜167との密着性を高めた。また、酸化珪素膜174をエッチングして遮光膜168と同一パターンとしてもよい。なお、本実施例の構成は実施例2のアクティブマトリクス型液晶表示装置を作製する際に実施することが可能である。また、本実施例と実施例3とを組み合わせることも可能である。

【0258】

[実施例21]

本実施例ではTFTの活性層（能動層）となる半導体膜を形成する工程について図18を用いて説明する。なお、本実施例の結晶化手段は特開平7-130652号公報の実施例1に記載された技術である。

【0259】

まず、基板（本実施例ではガラス基板）1801上に200nm厚の酸化窒化珪素膜でなる下地膜1802と200nm厚の非晶質半導体膜（本実施例では非晶質シリコン膜）1803を形成する。この工程は下地膜と非晶質半導体膜を大気開放しないで連続的に形成しても構わない。

【0260】

次に、重量換算で10ppmの触媒元素（本実施例ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピンドル法で塗布して、触媒元素含有層1804を非晶質半導体膜1803の全面に形成する。ここで使用可能な触媒元素は、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、といった元素がある。（図18（A））

【0261】

また、本実施例ではスピンドル法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。

【0262】

次に、結晶化の工程に先立って400～500℃で1時間程度の熱処理工程を

行い、水素を膜中から脱離させた後、500～650°C（好ましくは550～570°C）で4～12時間（好ましくは4～6時間）の熱処理を行う。本実施例では、550°Cで4時間の熱処理を行い、結晶質半導体膜（本実施例では結晶質シリコン膜）1805を形成する。（図18（B））

【0263】

なお、ここで実施例1の図1（E）と同様のレーザーアニール工程（第1アニール条件）を行って、結晶質半導体膜1805の結晶性を改善しても良い。

【0264】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。まず、結晶質半導体膜1805の表面にマスク絶縁膜1806を150nmの厚さに形成し、パターニングにより開口部1807を形成する。そして、露出した結晶質半導体膜に対して15族に属する元素（本実施例ではリン）を添加する工程を行う。この工程により $1 \times 10^{19} \sim 1 \times 10^{20} \text{atoms/cm}^3$ の濃度でリンを含むゲッタリング領域1808が形成される。（図18（C））

)

【0265】

次に、窒素雰囲気中で450～650°C（好ましくは500～550°C）、4～24時間（好ましくは6～12時間）の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域1808に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜1809に含まれるニッケル濃度は、 $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ にまで低減することができる。（図18（D））

【0266】

以上のようにして形成された結晶質半導体膜1809は、結晶化を助長する触媒元素（ここではニッケル）を用いることによって、非常に結晶性の良い結晶質半導体膜で形成されている。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質半導体膜1809中（但しゲッタリング領域以外）に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atoms/cm}^3$ 以下、好ましくは $1 \times$

10^{16} atm \cdot cm $^{-3}$ である。

【0267】

なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッタリング領域（高濃度に15族に属する不純物元素を含む領域）を形成し、熱処理によって結晶化に用いた触媒元素をゲッタリングする点にある。

【0268】

本実施例の構成は、実施例1～20に示したいずれの構成とも自由に組み合わせることが可能である。

【0269】

【実施例22】

本実施例ではTFTの活性層（能動層）となる半導体膜を形成する工程について図19を用いて説明する。具体的には特開平10-247735号公報（米国出願番号09/034, 041号に対応）に記載された技術を用いる。

【0270】

まず、基板（本実施例ではガラス基板）1901上に200nm厚の酸化珪素膜でなる下地膜1902と200nm厚の非晶質半導体膜（本実施例では非晶質シリコン膜）1903を形成する。この工程は下地膜と非晶質半導体膜を大気開放しないで連続的に形成しても構わない。

【0271】

次に、酸化珪素膜でなるマスク絶縁膜1904を200nmの厚さに形成し、開口部1905を形成する。

【0272】

次に、重量換算で100ppmの触媒元素（本実施例ではニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピンドル法で塗布して、触媒元素含有層1906を形成する。この時、触媒元素含有層1906は、開口部1905が形成された領域において、選択的に非晶質半導体膜1903に接触する。ここで使用可能な触媒元素は、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金

(Pt)、銅(Cu)、金(Au)、といった元素がある。(図19(A))

【0273】

また、本実施例ではスピンドルコート法でニッケルを添加する方法を用いたが、蒸着法やスパッタ法などにより触媒元素でなる薄膜(本実施例の場合はニッケル膜)を非晶質半導体膜上に形成する手段をとっても良い。

【0274】

次に、結晶化の工程に先立って400~500°Cで1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500~650°C(好ましくは550~600°C)で6~16時間(好ましくは8~14時間)の熱処理を行う。本実施例では、570°Cで14時間の熱処理を行う。その結果、開口部1905を起点として概略基板と平行な方向(矢印で示した方向)に結晶化が進行し、巨視的な結晶成長方向が揃った結晶質半導体膜(本実施例では結晶質シリコン膜)1907が形成される。(図19(B))

【0275】

次に、結晶化の工程で用いたニッケルを結晶質シリコン膜から除去するゲッタリング工程を行う。本実施例では、先ほど形成したマスク絶縁膜1904をそのままマスクとして15族に属する元素(本実施例ではリン)を添加する工程を行い、開口部1905で露出した結晶質半導体膜に $1 \times 10^{19} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度でリンを含むゲッタリング領域1908を形成する。(図19(C))

【0276】

次に、窒素雰囲気中で450~650°C(好ましくは500~550°C)、4~24時間(好ましくは6~12時間)の熱処理工程を行う。この熱処理工程により結晶質半導体膜中のニッケルは矢印の方向に移動し、リンのゲッタリング作用によってゲッタリング領域1908に捕獲される。即ち、結晶質半導体膜中からニッケルが除去されるため、結晶質半導体膜1909に含まれるニッケル濃度は、 $1 \times 10^{17} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ にまで低減することができる。(図19(D))

【0277】

以上のようにして形成された結晶質半導体膜1909は、結晶化を助長する触媒元素（ここではニッケル）を選択的に添加して結晶化することによって、非常に結晶性の良い結晶質半導体膜で形成されている。具体的には、棒状または柱状の結晶が、特定の方向性を持って並んだ結晶構造を有している。また、結晶化のあとは触媒元素をリンのゲッタリング作用により除去しており、結晶質半導体膜1909中に残存する触媒元素の濃度は、 $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ である。

【0278】

なお、本実施例の特徴は、触媒元素を用いて結晶化させた結晶質半導体膜を形成した後で、活性層として用いない領域にゲッタリング領域（高濃度に15族に属する不純物元素を含む領域）を形成し、熱処理によって結晶化に用いた触媒元素をゲッタリングする点にある。

【0279】

本実施例の構成は、実施例1～21に示したいずれの構成とも自由に組み合わせることが可能である。

【0280】

【実施例23】

本実施例ではTFTの活性層（能動層）となる半導体膜を形成する工程について説明する。実施例22とは異なるゲッタリング方法を用いた例を示す。具体的には特開平9-312260号公報に記載された技術を用いる。

【0281】

まず、実施例22と同様に、触媒元素（ニッケル）を用いて結晶化を行い、結晶質半導体膜を形成する。

【0282】

次に、プラズマCVD法またはスパッタ法により10～100nm厚の珪素を含む絶縁膜を形成する。本実施例では、30nm厚の窒化酸化シリコン膜を形成する。この珪素を含む絶縁膜は、他の珪素を含む絶縁膜を単層または積層で用いても構わない。

【0283】

次に、800～1150°C（好ましくは900～1000°C）の温度で15分～8時間（好ましくは30分～2時間）の熱処理工程を、酸化性雰囲気下で行う（熱酸化工程）。本実施例では酸素雰囲気中に3体積%の塩化水素を添加した雰囲気中で950°C 80分の熱処理工程を行う。

【0284】

なお、酸化性雰囲気としては、ドライ酸素雰囲気でもウェット酸素雰囲気でも良いが、半導体層中の結晶欠陥の低減にはドライ酸素雰囲気が適している。また、本実施例では酸素雰囲気中にハロゲン元素を含ませた雰囲気としたが、100%酸素雰囲気で行っても構わない。

【0285】

この熱酸化工程によって、結晶質半導体膜中からニッケルが熱酸化膜に移動する。即ち、結晶質半導体膜中からニッケルが除去される。

【0286】

本実施例の構成は、実施例1～22に示したいずれの構成とも自由に組み合わせることが可能である。

【0287】

[実施例24]

図20に本発明を利用して絶縁表面上に形成された様々な配線構造の一例を示す。図20（A）には絶縁表面を有する膜（または基板）1700上にタンゲステンを主成分とする材料1701からなる単層構造の配線の断面図を示した。この配線は、ターゲットとしては純度が6Nのものを用い、スパッタガスとしてはアルゴン（Ar）の単体ガスを用いて形成した膜をパターニングして形成したものである。なお、基板温度を300°C以下とし、スパッタガスの圧力を1.0Pa以上として応力を制御し、他の条件（スパッタパワー等）は適宜実施者が決定すればよい。

【0288】

こうして得られる配線1701は、不純物元素がほとんど含まれておらず、特にナトリウムの含有量は、0.1ppm以下、酸素の含有量は30ppm以下とすることができ、電気抵抗率は20μΩ・cm以下、代表的には、6μ～15μΩ

・ cmとすることができます。また、膜の応力は、 $-5 \times 10^{10} \sim 5 \times 10^{10}$ dy
n/cm²の範囲内に制御することができる。また、800℃の熱処理を施しても電気抵抗率は変わらない。

【0289】

また、図20 (B) は、実施例1と同様の二層構造を示した。なお、窒化タンゲステン (WNx) を下層とし、タンゲステンを上層としている。なお、窒化タンゲステン膜1702は10~50 nm (好ましくは10~30 nm) とし、タンゲステン膜1703は200~400 nm (好ましくは250~350 nm) とすれば良い。本実施例では、大気に触れることなく、連続的にスパッタ法を用いて積層形成した。

【0290】

また、図20 (C) は、絶縁表面を有する膜 (または基板) 1700上に形成されたタンゲステンを主成分とする材料からなる配線1704を絶縁膜1705で覆った例である。絶縁膜1705は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜SiO_xN_y (但し、0 < x, y < 1) またはそれらを組み合わせた積層膜で形成すれば良い。

【0291】

また、図20 (D) は、絶縁表面を有する膜 (または基板) 1700上に形成されたタンゲステンを主成分とする材料からなる配線1706の表面を窒化タンゲステン膜1707で覆った例である。なお、図20 (A) の状態の配線にプラズマ窒化等の窒化処理を施すと図20 (D) の構造が得られる。

【0292】

また、図20 (E) は、絶縁表面を有する膜 (または基板) 1700上に形成されたタンゲステンを主成分とする材料からなる配線1709を窒化タンゲステン膜1710、1708で囲った例である。この構造は実施例3に示したものと形状は同一である。なお、図20 (B) の状態の配線にプラズマ窒化等の窒化処理を施すと図20 (E) の構造が得られる。

【0293】

また、図20 (F) は、図20 (E) の状態を形成した後、絶縁膜1711で

覆った例である。絶縁膜1711は窒化珪素膜、酸化珪素膜、酸化窒化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。

【0294】

このように、本発明は様々な配線構造に適用することができる。本実施例の構成は、実施例1～23に示したいずれの構成とも自由に組み合わせることが可能である。

【0295】

[実施例25]

本実施例では、本発明をシリコン基板上に作製した反射型液晶表示装置に適用した場合について説明する。本実施例は、実施例1において、結晶質シリコン膜でなる活性層の代わりに、シリコン基板（シリコンウェハ）に直接的にn型またはp型を付与する不純物元素を添加し、TFT構造を実現すれば良い。また、反射型であるので、画素電極として反射率の高い金属膜（例えばアルミニウム、銀、またはこれらの合金（Al-Ag合金）等を用いれば良い。

【0296】

なお、本実施例の構成は、実施例1～24のいずれの構成とも自由に組み合わせることが可能である。

【0297】

[実施例26]

本発明は従来のMOSFET上に層間絶縁膜を形成し、その上にTFTを形成する際に用いることも可能である。即ち、三次元構造の半導体装置を実現することも可能である。また、基板としてSIMOX、Smart-Cut（SOITEC社の登録商標）、ELTRAN（キャノン株式会社の登録商標）などのSOI基板を用いることも可能である。

【0298】

なお、本実施例の構成は、実施例1～25のいずれの構成とも自由に組み合わせることが可能である。

【0299】

[実施例27]

本発明はアクティブマトリクス型ELディスプレイに適用することも可能である。その例を図21に示す。

【0300】

図21はアクティブマトリクス型ELディスプレイの回路図である。11は表示領域を表しており、その周辺にはX方向駆動回路12、Y方向駆動回路13が設けられている。また、表示領域11の各画素は、スイッチ用TFT14、保持容量15、電流制御用TFT16、有機EL素子17を有し、スイッチ用TFT14にX方向信号線18a（または18b）、Y方向信号線19a（または19b、19c）が接続される。また、電流制御用TFT16には、電源線20a、20bが接続される。

【0301】

本実施例のアクティブマトリクス型ELディスプレイでは、X方向駆動回路12、Y方向駆動回路13に用いられるTFTを図4（A）のpチャネル型TFT301、nチャネル型TFT302または303を組み合わせて形成する。また、スイッチ用TFT14や電流制御用TFT16のTFTを図4（A）のnチャネル型TFT304で形成する。

【0302】

【実施例28】

本発明によって作製された液晶表示装置は様々な液晶材料を用いることが可能である。そのような材料として、TN液晶、PDL（ポリマー分散型液晶）、FLC（強誘電性液晶）、AFLC（反強誘電性液晶）、またはFLCとAFLCの混合物が挙げられる。

【0303】

例えば、「H.Furue et al.;Charakteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability, SID, 1998」、「T.Yoshida et al.;A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time, 841, SID97DIGEST, 1997」、または米国特許第5,594,569号に開示された材料を用いることができる。

【0304】

特に、しきい値なし（無しきい値）の反強誘電性液晶（Thresholdless Antiferroelectric LCD: TL-AFLCと略記する）を使うと、液晶の動作電圧を±2.5V程度に低減しうるため電源電圧として5~8V程度で済む場合がある。即ち、ドライバー回路と画素マトリクス回路を同じ電源電圧で動作させることができると、液晶表示装置全体の低消費電力化を図ることができる。

【0305】

また、無しきい値反強誘電性液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度（セル厚約1μm~2μm）のものも見出されている。

【0306】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を図22に示す。図22に示すグラフの縦軸は透過率（任意単位）、横軸は印加電圧である。なお、液晶パネルにおける入射側の偏光板の透過軸は、液晶パネルのラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスマートティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角（クロスニコル）に設定されている。

【0307】

また、強誘電性液晶や反強誘電性液晶はTN液晶に比べて応答速度が速いという利点をもつ。上記実施例で用いるような結晶質TFTは非常に動作速度の速いTFTを実現しうるため、強誘電性液晶や反強誘電性液晶の応答速度の速さを十分に生かした画像応答速度の速い液晶表示装置を実現することが可能である。

【0308】

なお、本実施例の液晶表示装置をパーソナルコンピュータ等の電子機器の表示ディスプレイとして用いることが有効であることは言うまでもない。

【0309】

また、本実施例の構成は、実施例1~26のいずれの構成とも自由に組み合わせることが可能である。

【0310】

【実施例29】

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0311】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ウエアラブルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図23に示す。

【0312】

図23（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本願発明を画像入力部2002、表示装置2003やその他の信号制御回路に適用することができる。

【0313】

図23（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0314】

図23（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0315】

図23（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信

号制御回路に適用することができる。

【0316】

図23 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示装置2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置2402やその他の信号制御回路に適用することができる。

【0317】

図23 (F) はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部（図示しない）で構成される。本願発明を表示装置2502やその他の信号制御回路に適用することができる。

【0318】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～28のどのような組み合わせからなる構成を用いても実現することができる。

【0319】

【実施例30】

本発明を実施して形成されたTFTは様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

【0320】

その様な電子機器としては、プロジェクター（リア型またはフロント型）などが挙げられる。それらの一例を図24に示す。

【0321】

図24 (A) はフロント型プロジェクターであり、表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0322】

図24 (B) はリア型プロジェクターであり、本体2701、表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0323】

なお、図24 (C) は、図24 (A) 及び図24 (B) 中における表示装置2601、2702の構造の一例を示した図である。表示装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図24 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0324】

また、図24 (D) は、図24 (C) 中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図24 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0325】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～24及び実施例28のどのような組み合わせからなる構成を用いても実現することができる。

【0326】

【発明の効果】

本願発明を用いることで配線に含まれるナトリウムが0.01 ppm以下であり、且つ、低い電気抵抗率 ($20 \mu\Omega \cdot \text{cm}$ 以下) を有し、応力が -5×10^{10} 以

上、 $5 \times 10^{10} \text{ dyne/cm}^2$ 以下に制御された配線を形成することができる。

【0327】

また、本発明の配線は、800°C程度の熱処理を施しても低い電気抵抗率（20 μΩ・cm以下）を維持することができる。

【0328】

加えて、タンゲステンを主成分とする配線の表面に窒化タンゲステンを形成することによって、低抵抗で信頼性の高い配線を得ることができ、半導体装置（ここでは具体的に電気光学装置）の動作性能や信頼性を大幅に向上させることができる。

【図面の簡単な説明】

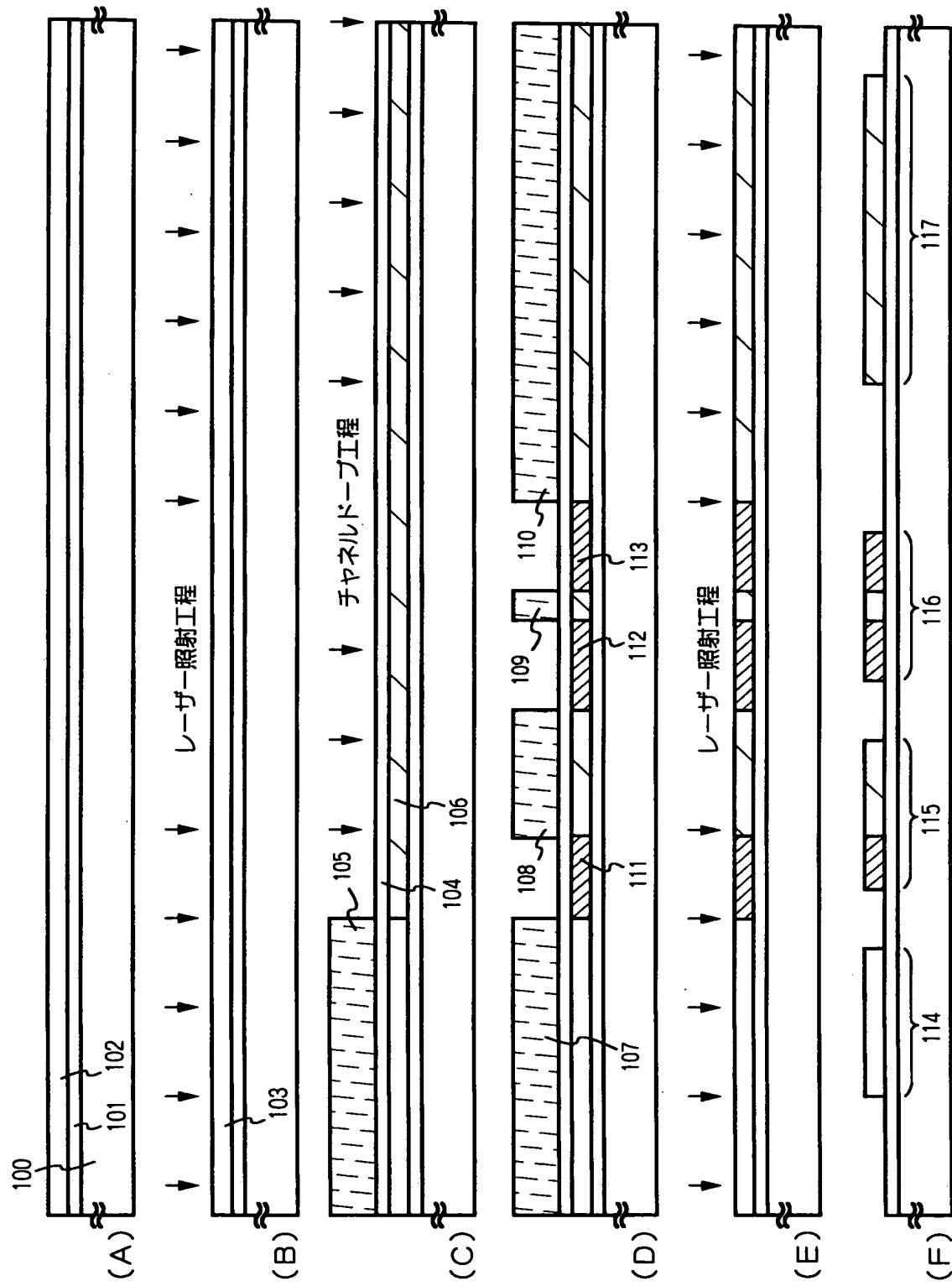
- 【図1】 AM-LCDの作製工程を示す図。
- 【図2】 AM-LCDの作製工程を示す図。
- 【図3】 AM-LCDの作製工程を示す図。
- 【図4】 AM-LCDの作製工程を示す図。
- 【図5】 nチャネル型TFTの断面構造図。
- 【図6】 アクティブマトリクス型液晶表示装置の斜視図。
- 【図7】 画素回路と駆動回路の構成を示す図。
- 【図8】 AM-LCDの作製工程を示す図。
- 【図9】 AM-LCDの作製工程を示す図。
- 【図10】 AM-LCDの作製工程を示す図。
- 【図11】 AM-LCDの作製工程を示す図。
- 【図12】 AM-LCDの作製工程を示す図。
- 【図13】 AM-LCDの作製工程を示す図。
- 【図14】 AM-LCDの作製工程を示す図。
- 【図15】 AM-LCDの作製工程を示す図。
- 【図16】 AM-LCDの作製工程を示す図。
- 【図17】 AM-LCDの作製工程を示す図。
- 【図18】 結晶質半導体膜の作製工程を示す断面図。
- 【図19】 結晶質半導体膜の作製工程を示す断面図。

- 【図20】 配線構造を示す断面図。
- 【図21】 アクティブマトリクス型EL表示装置の構成を示す図。
- 【図22】 無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す図。
- 【図23】 電子機器の一例を示す図。
- 【図24】 電子機器の一例を示す図。
- 【図25】 G D M S の分析結果を示す図。
- 【図26】 スパッタ圧と応力の関係を示す図。
- 【図27】 スパッタ圧と電気抵抗率の関係を示す図。
- 【図28】 引張応力と圧縮応力の説明図。
- 【図29】 コンタクト抵抗を測定するためのコンタクトチェーンを示す図。

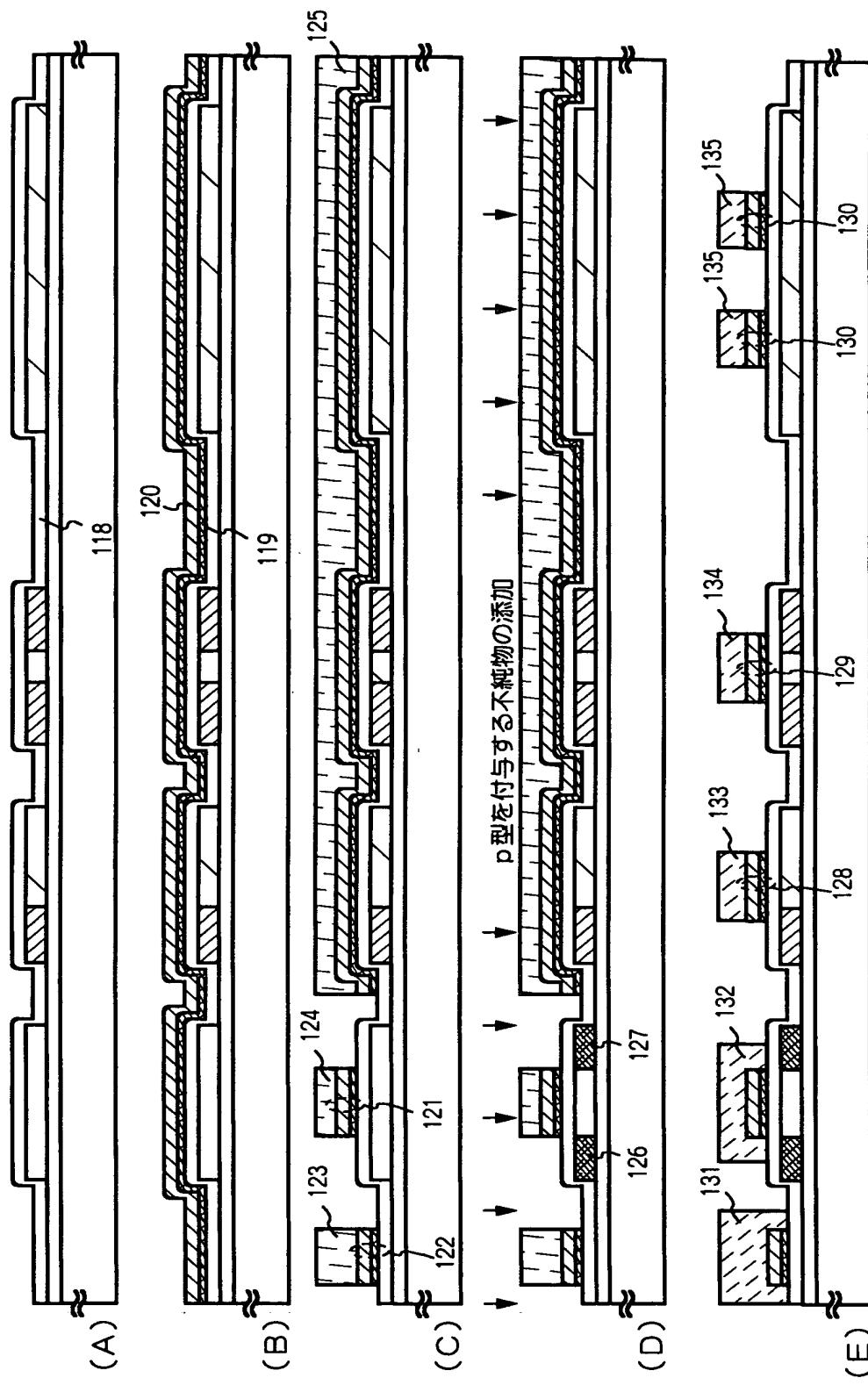
【書類名】

図面

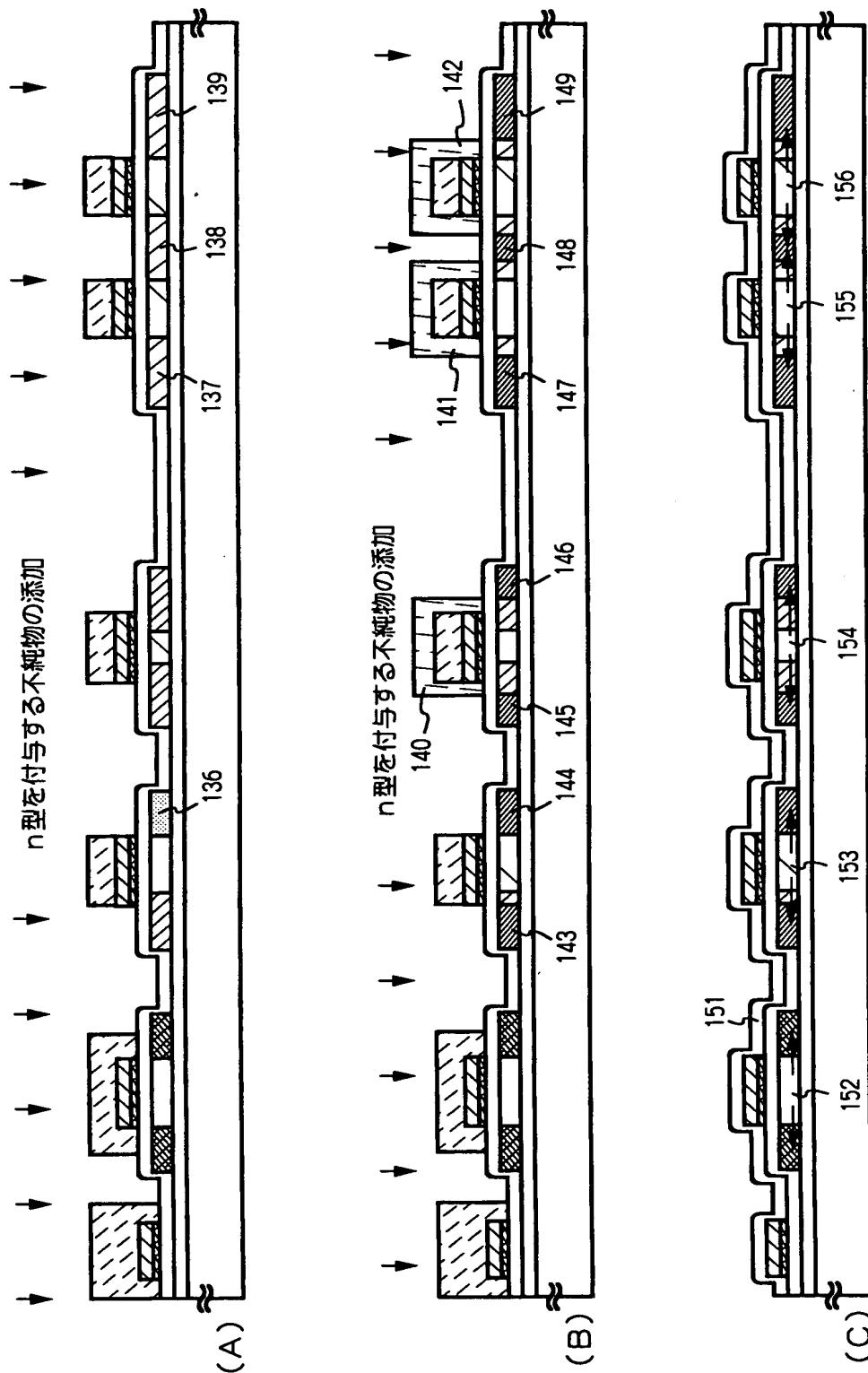
【図1】



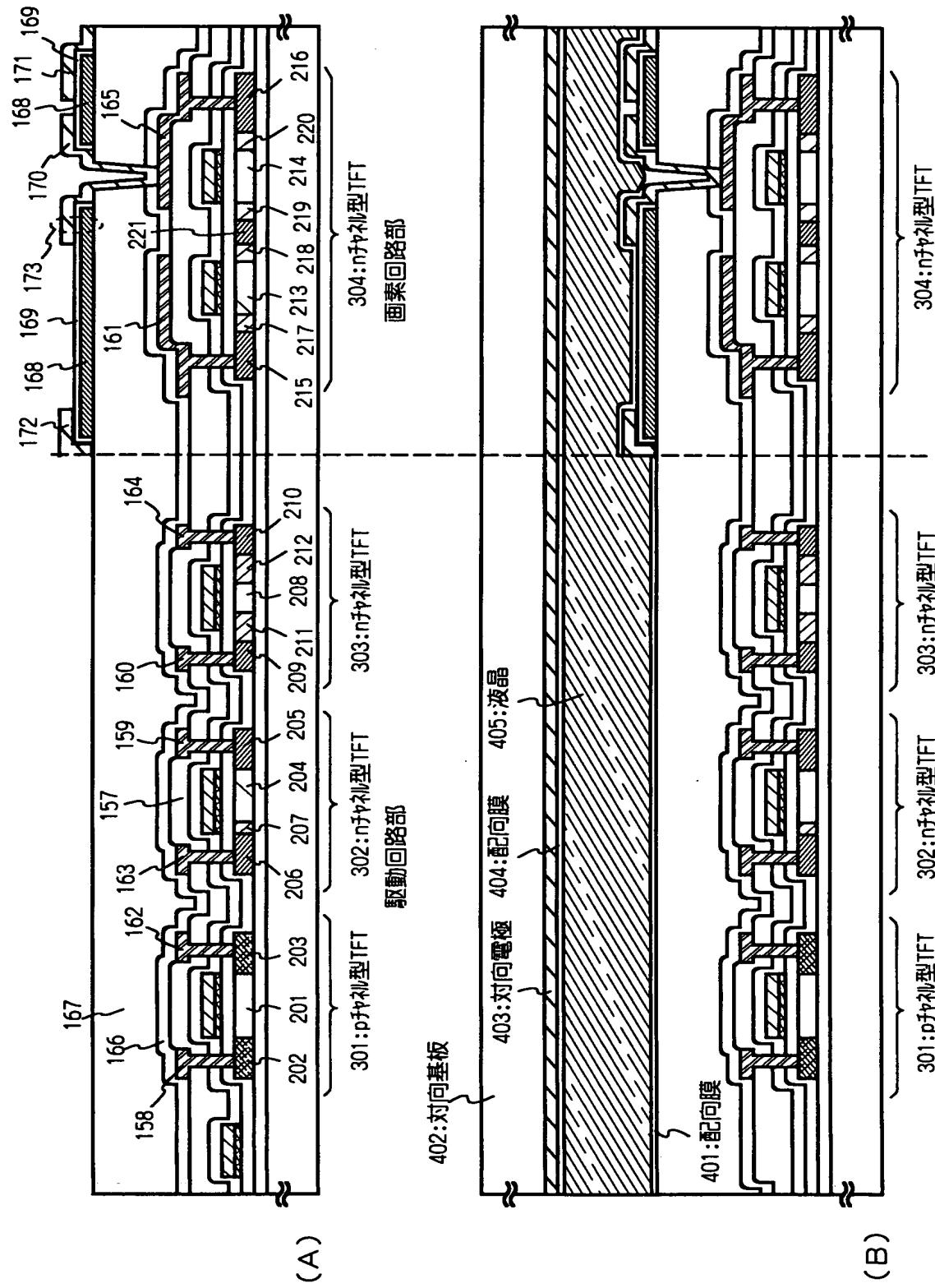
【図2】



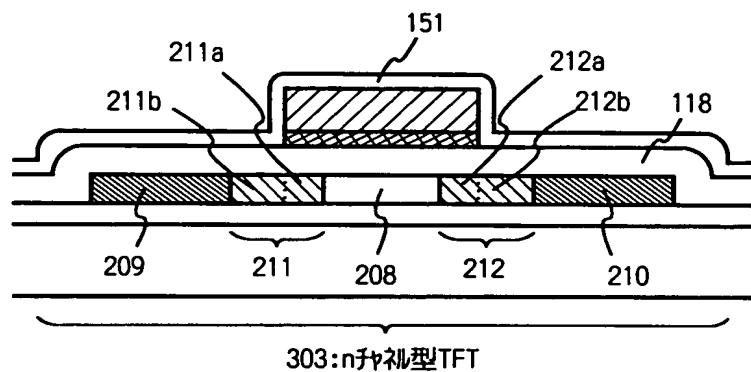
【図3】



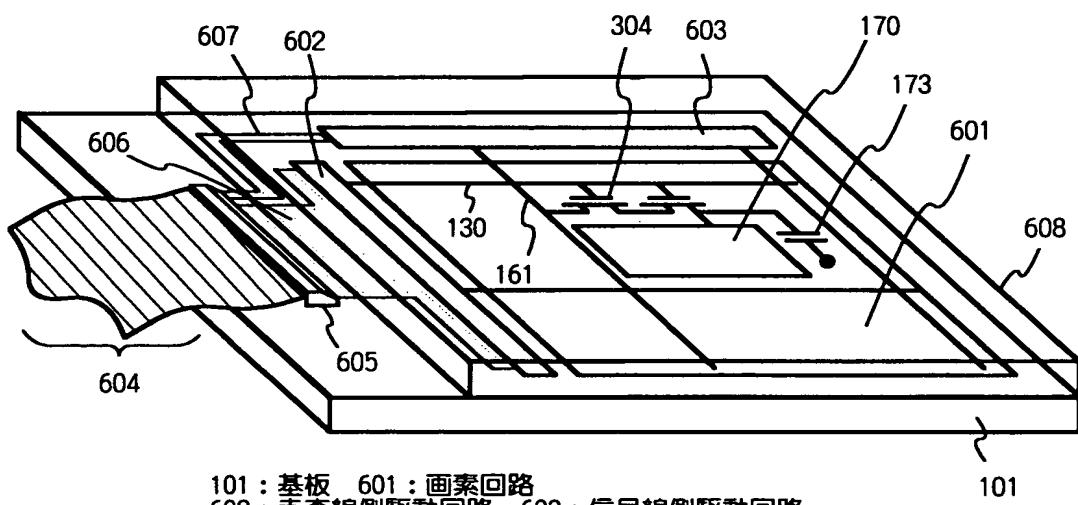
【図4】



【図5】

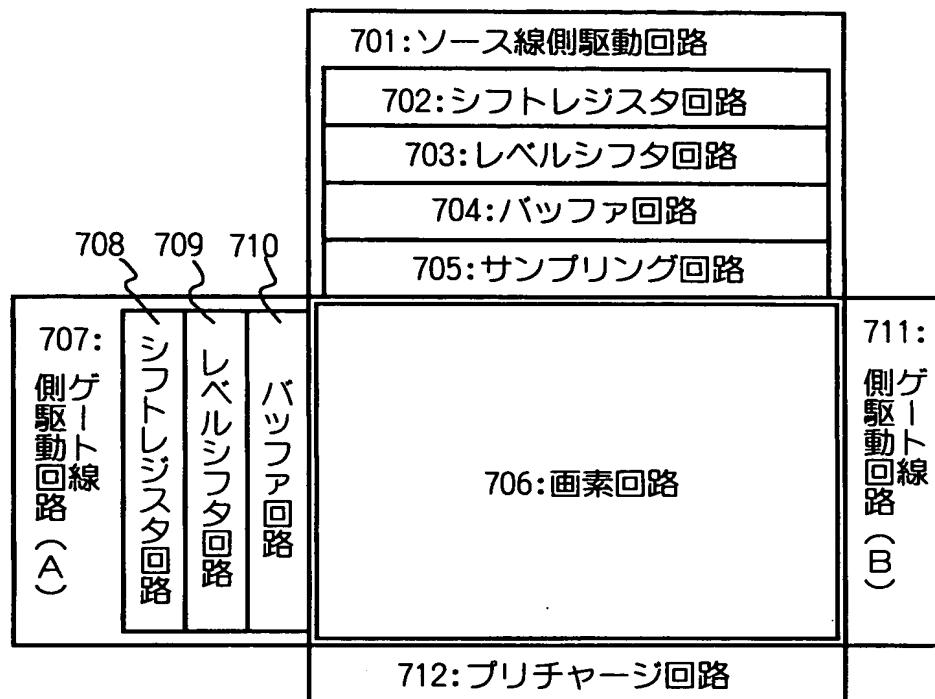


【図6】

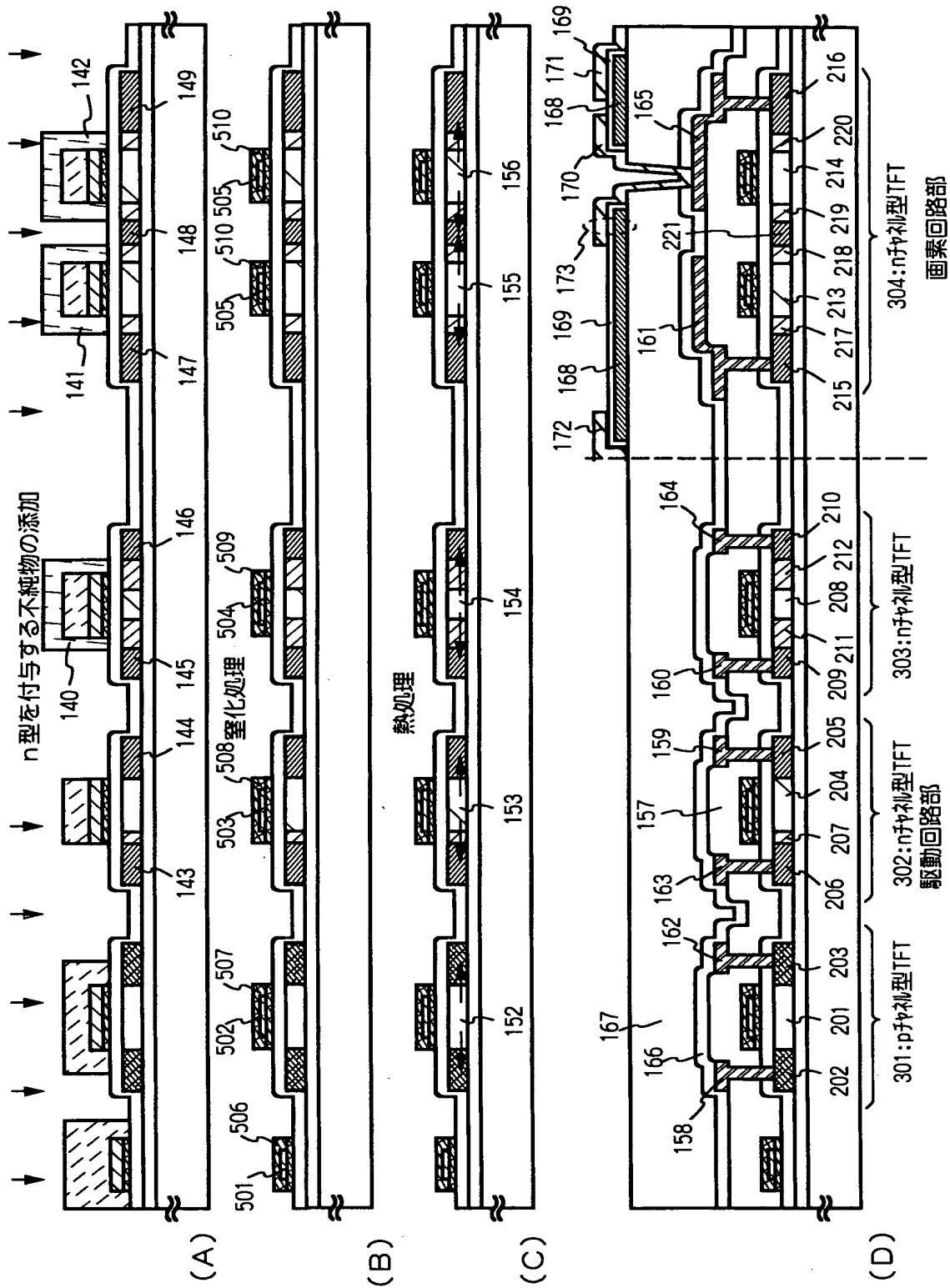


101: 基板 601: 画素回路
 602: 走査線側駆動回路 603: 信号線側駆動回路
 604: FPC 605: 外部入出力端子 606, 607: 接続配線
 304: 画素TFT 130: ゲート配線 161: ソース配線
 170: 画素電極 173: 保持容量 608: 対向基板

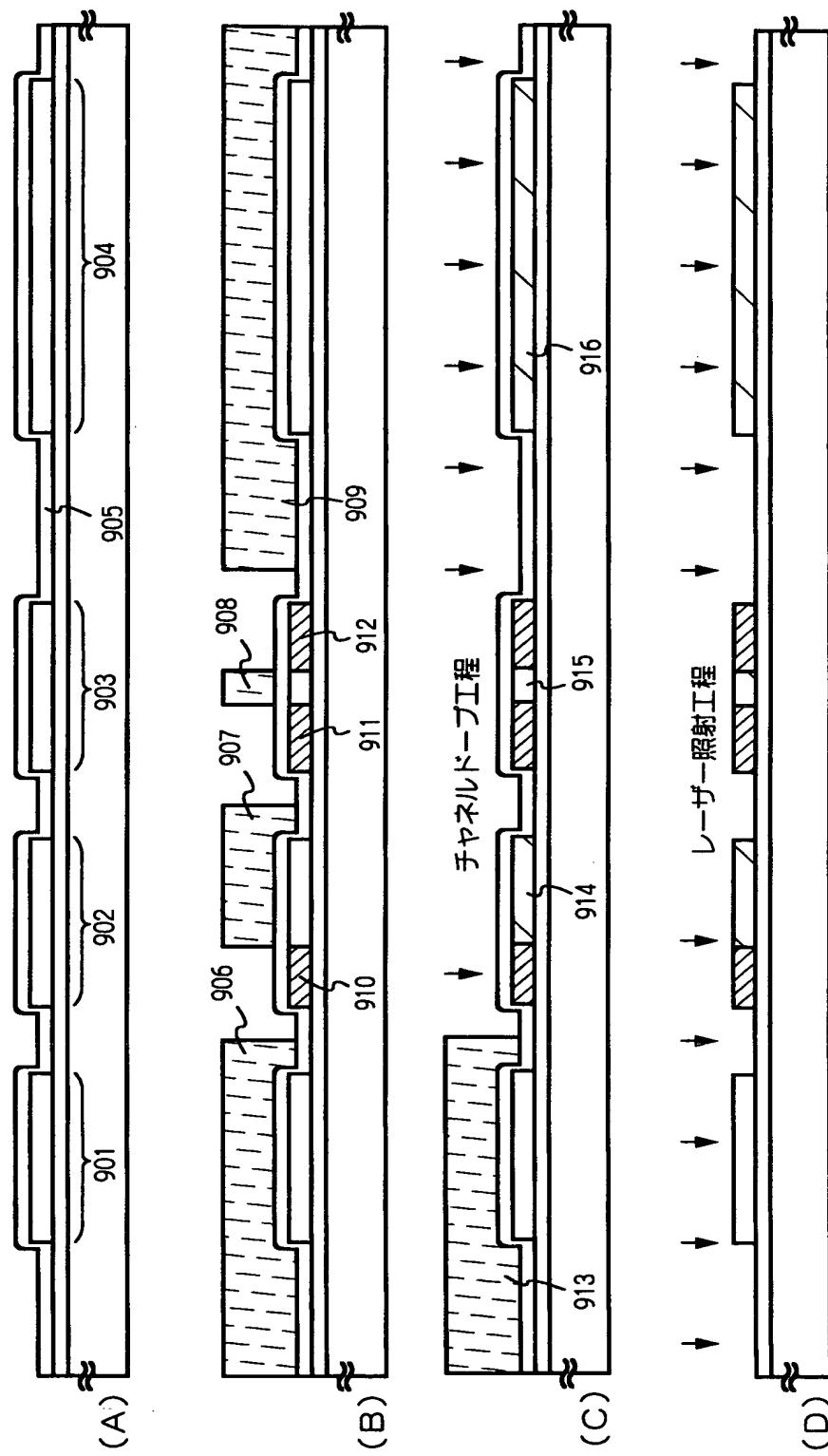
【図7】



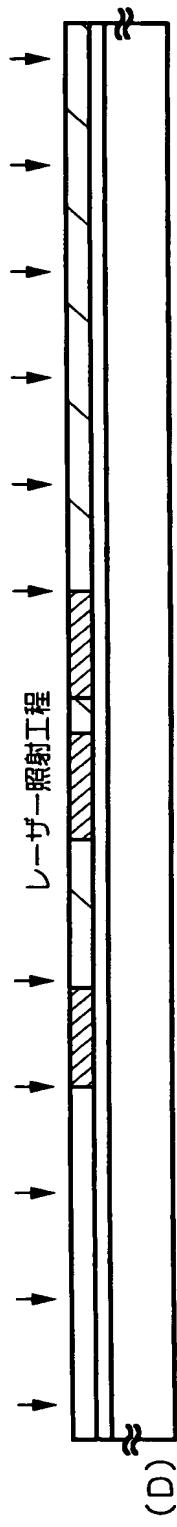
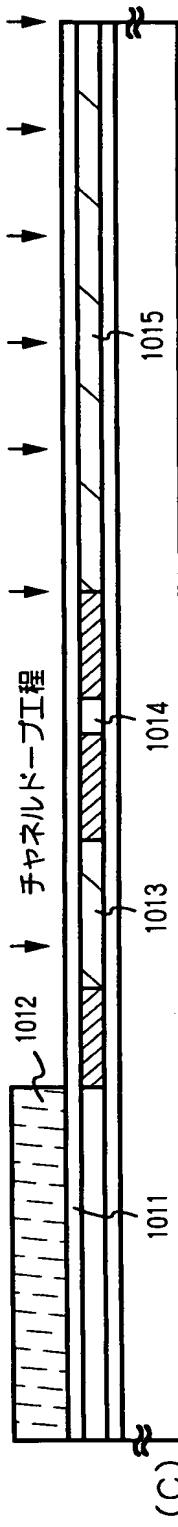
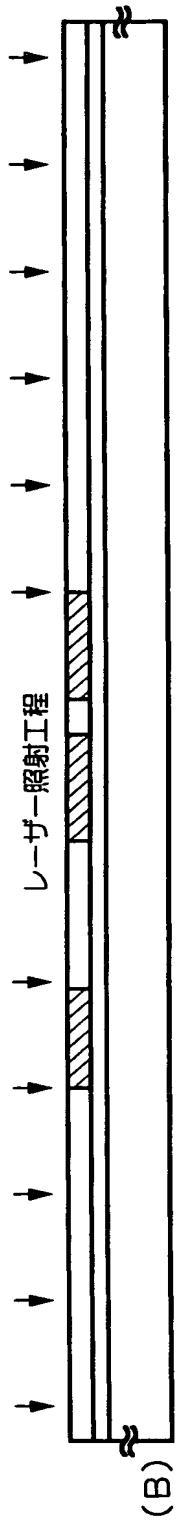
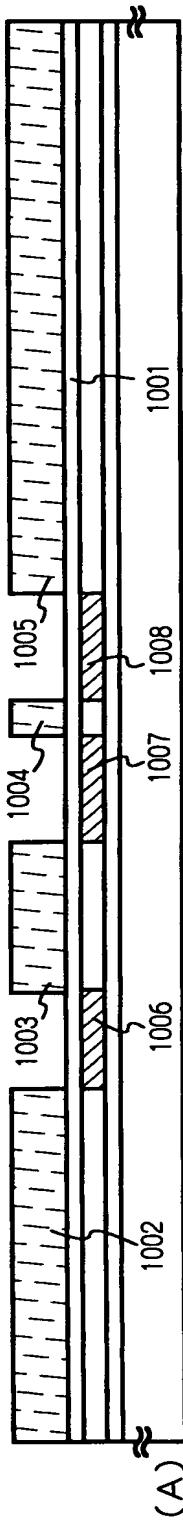
【図8】



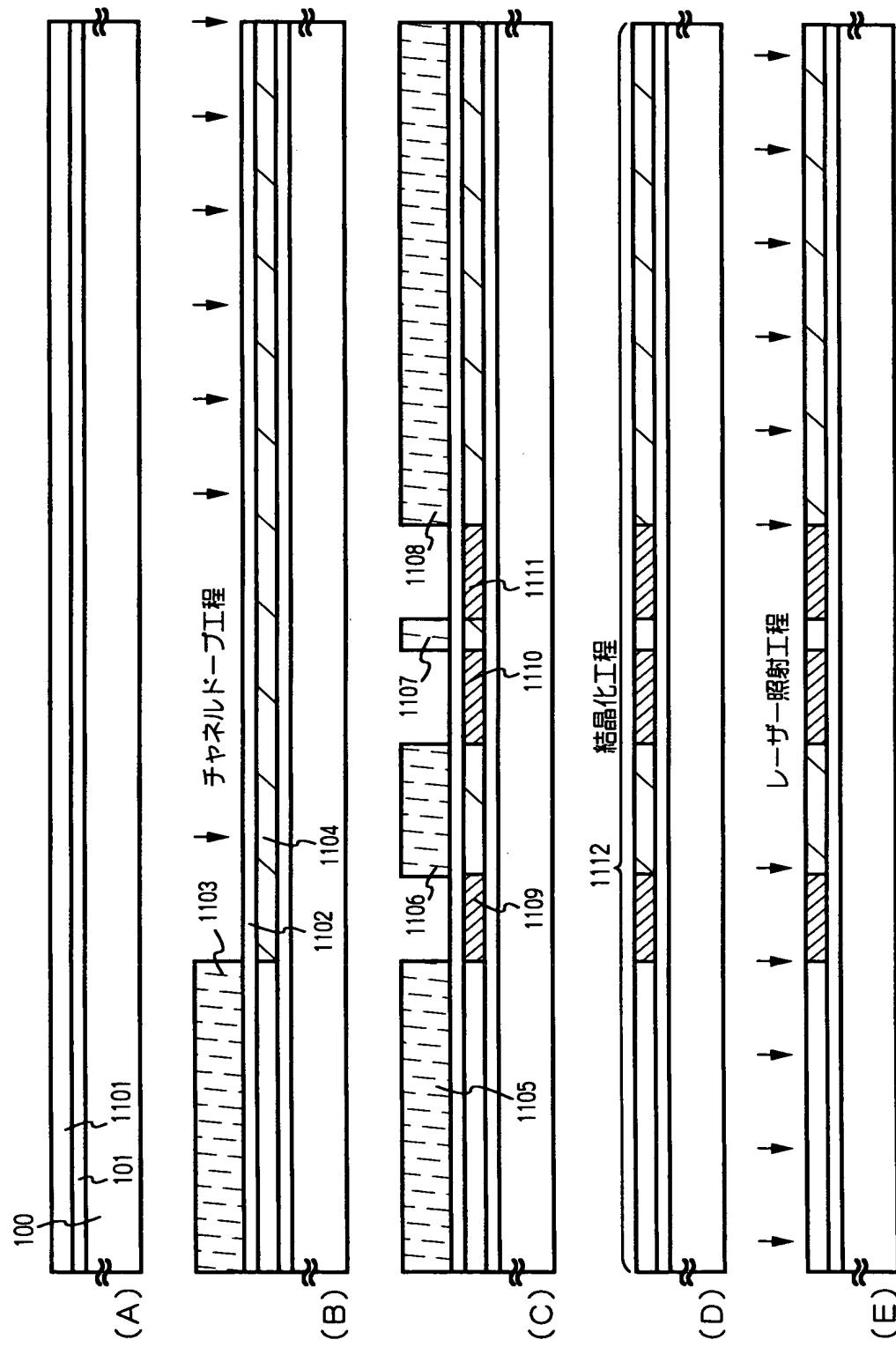
【図9】



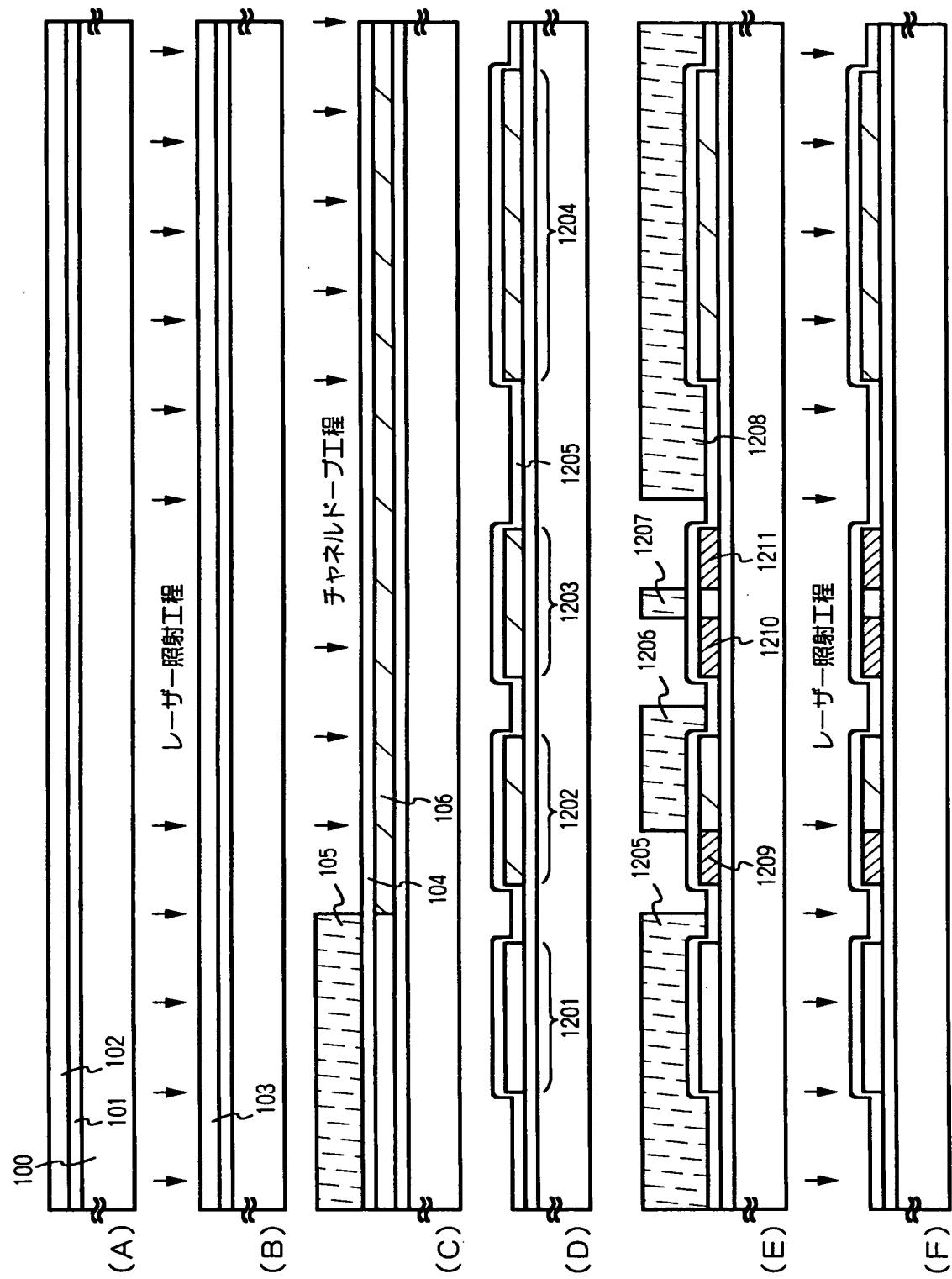
【図10】



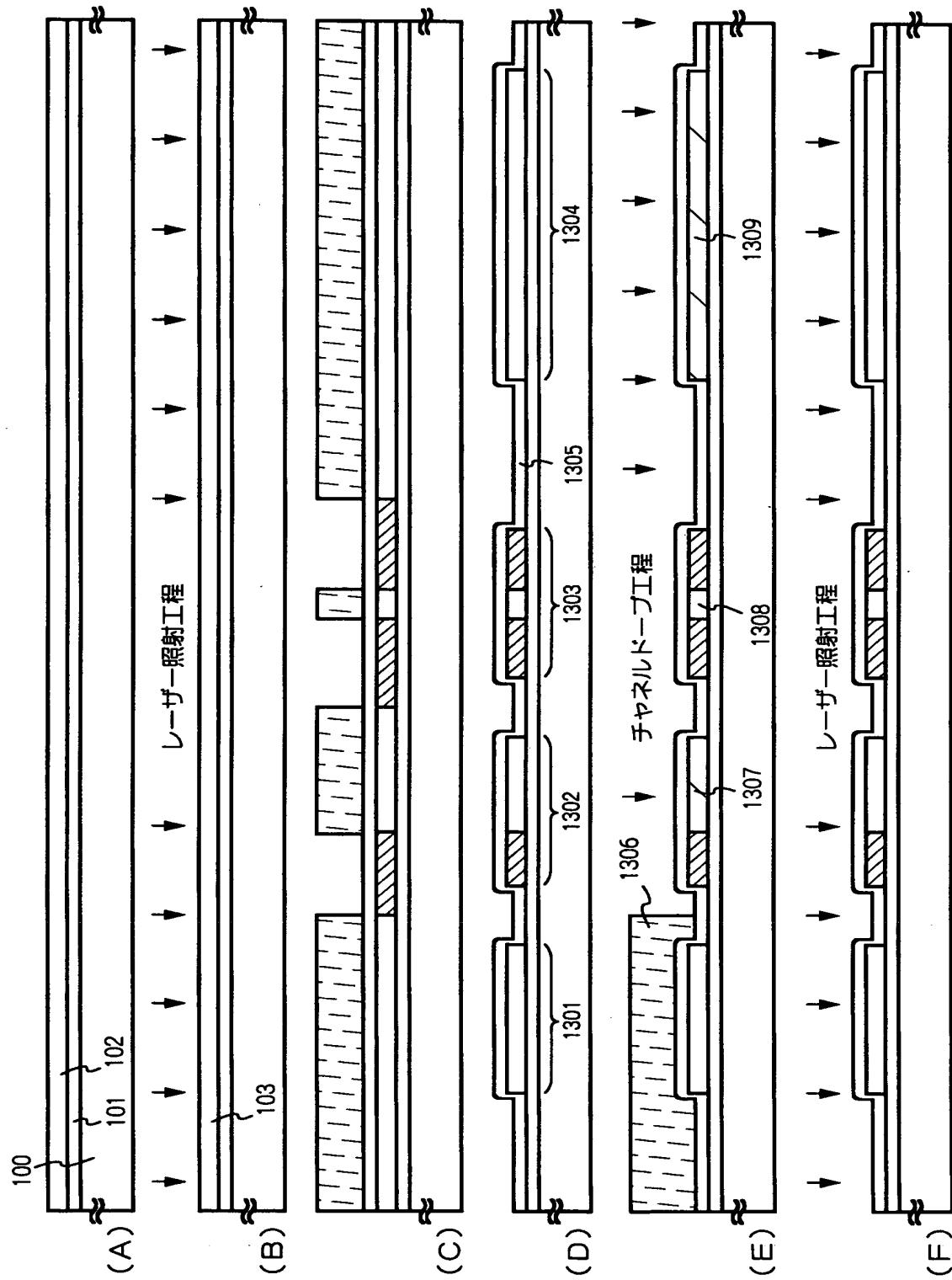
【図11】



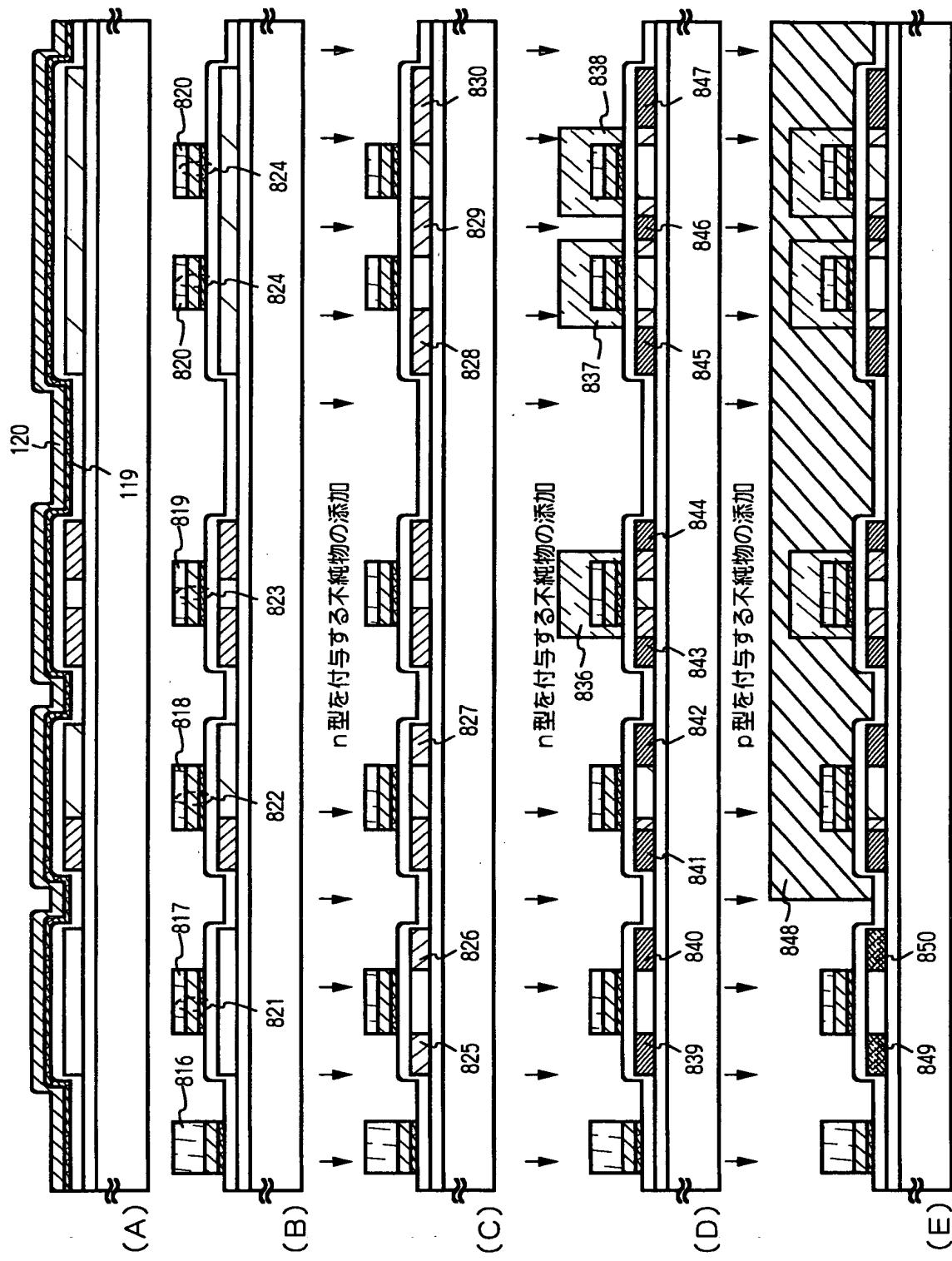
【図12】



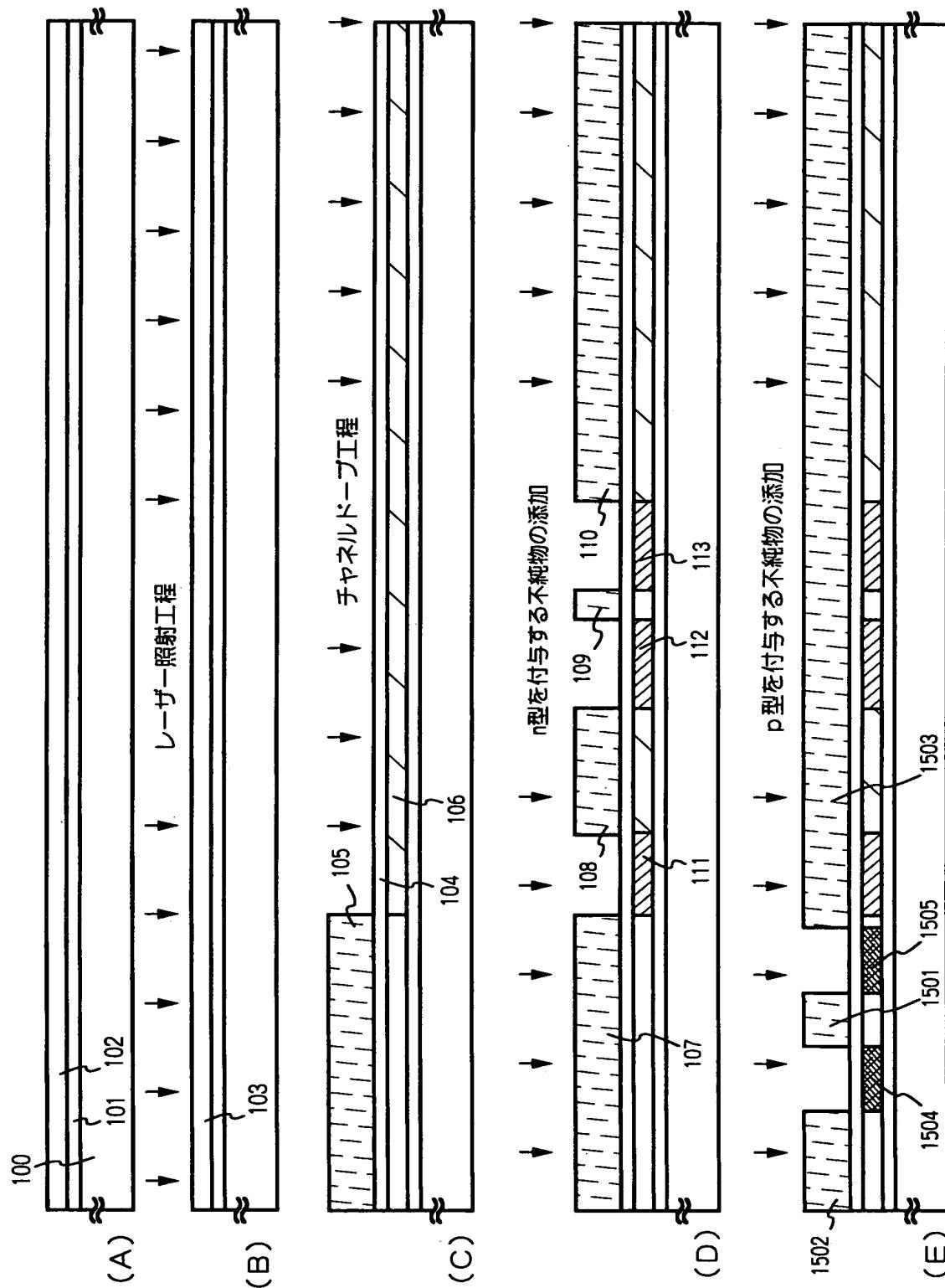
【図13】



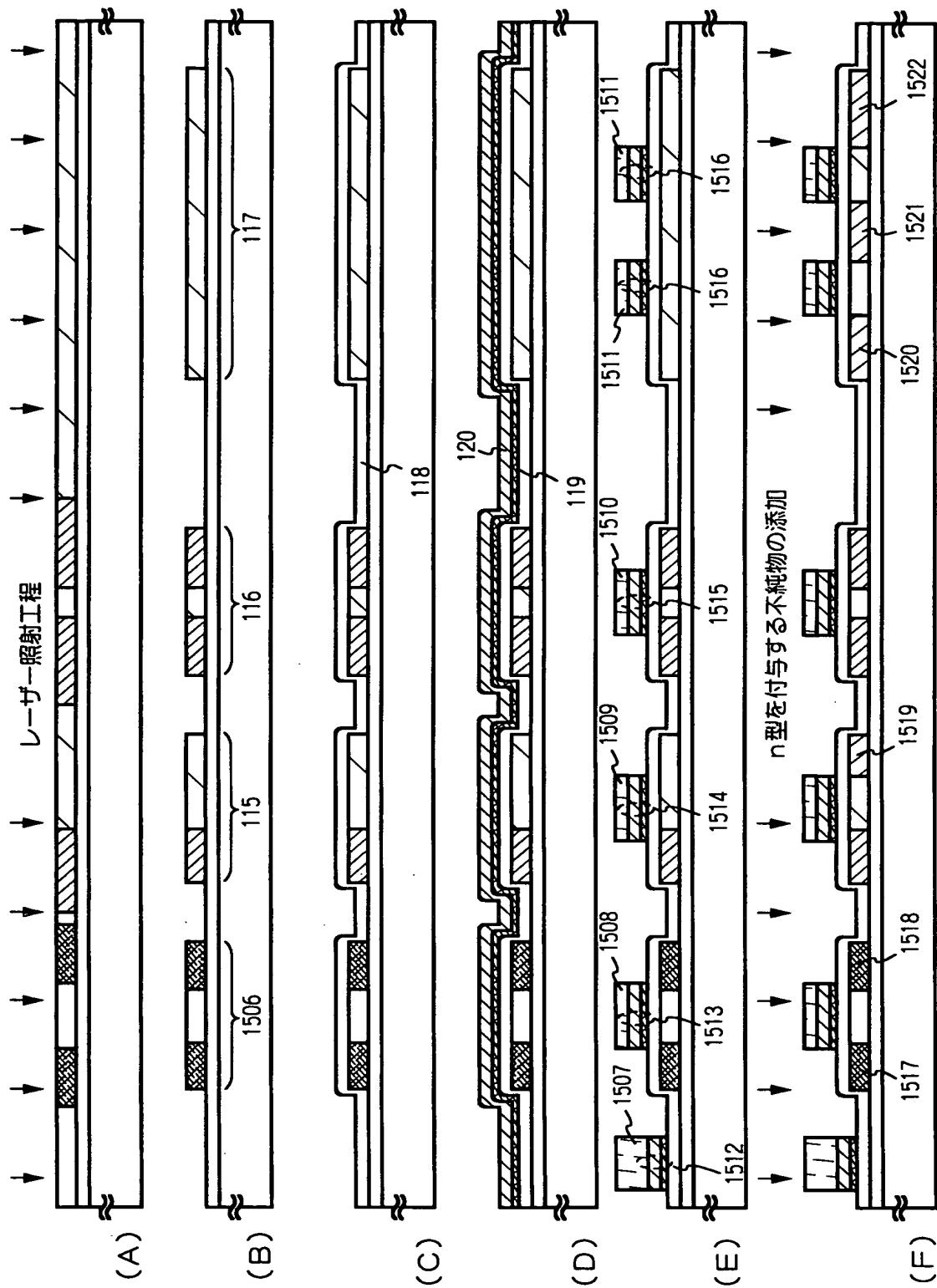
【図14】



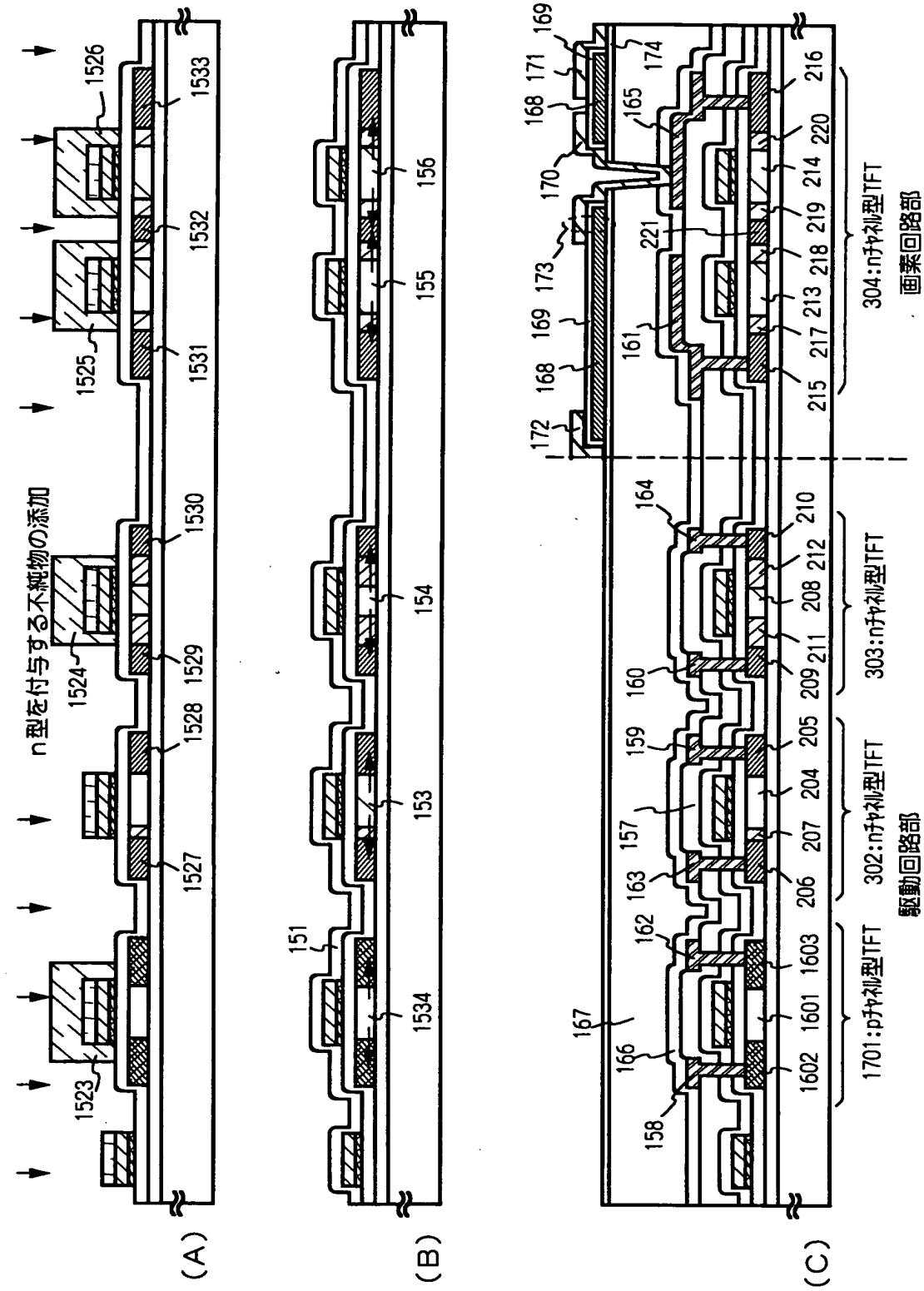
【図15】



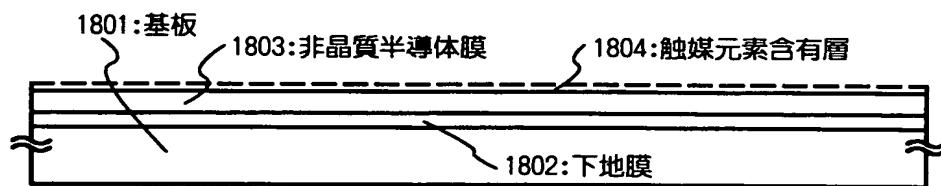
【図16】



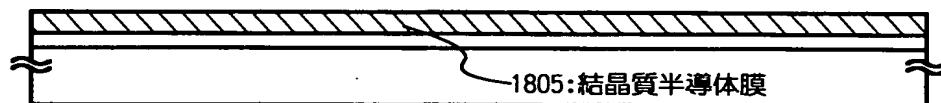
【図17】



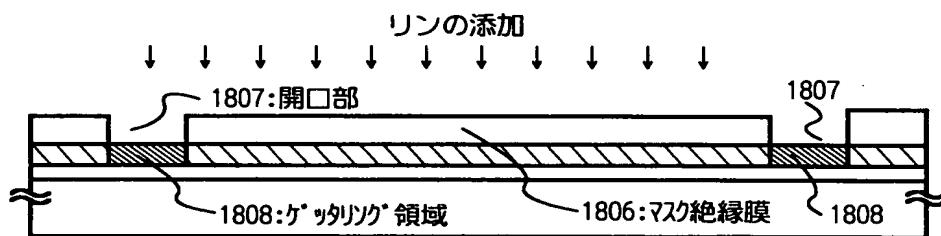
【図18】



(A) 下地膜、非晶質半導体膜の形成

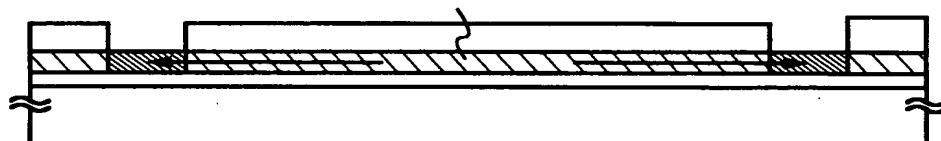


(B) 結晶化工程



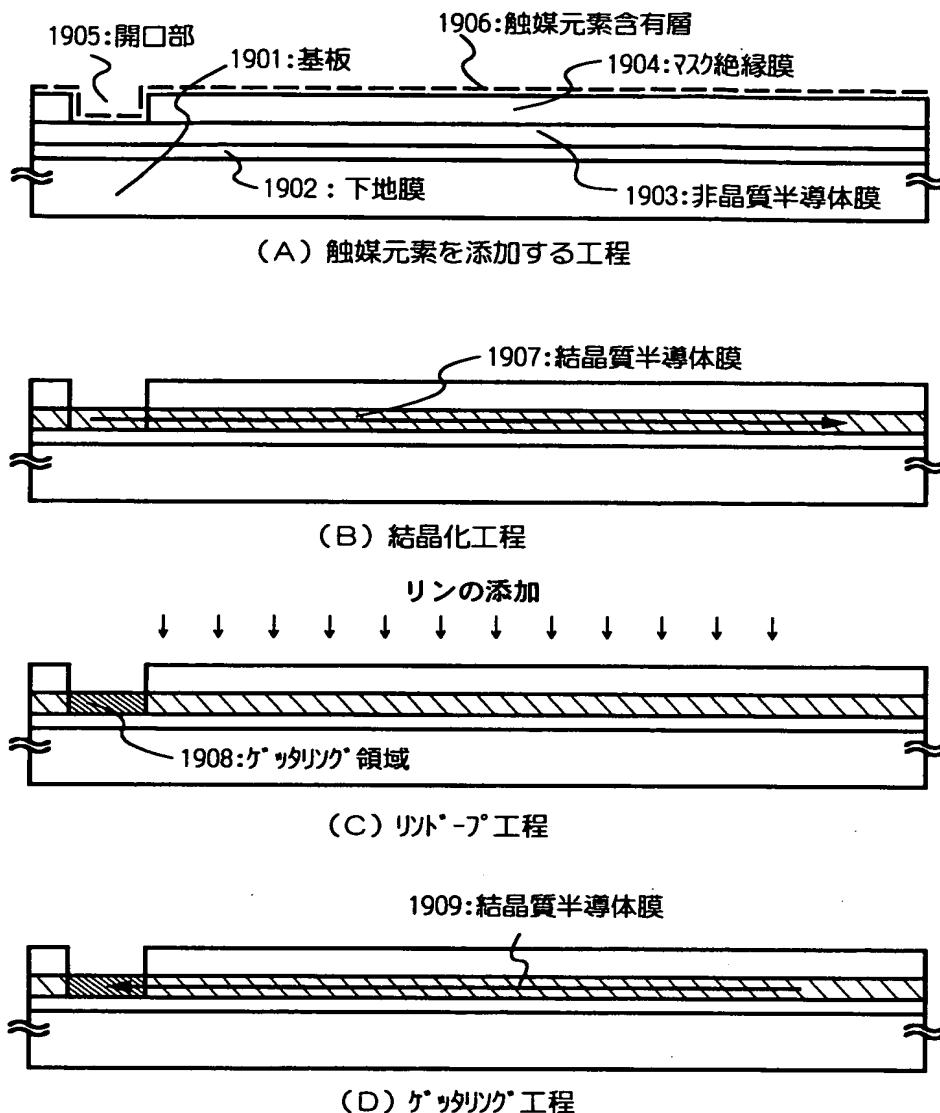
(C) リド・ア・ド工程

1809:結晶質半導体膜

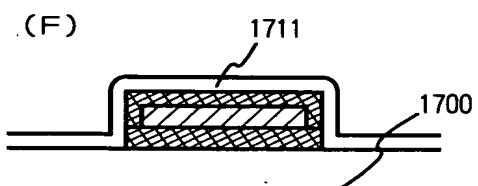
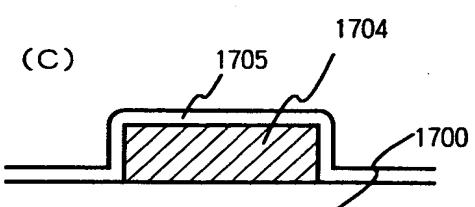
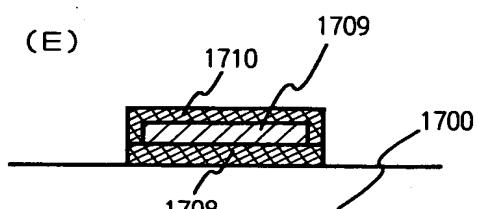
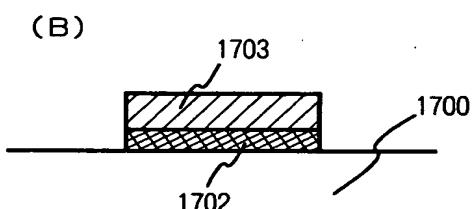
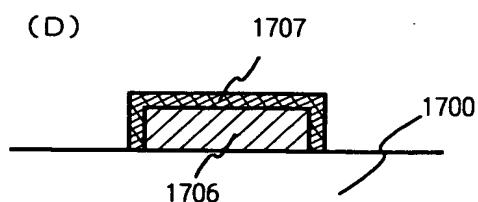
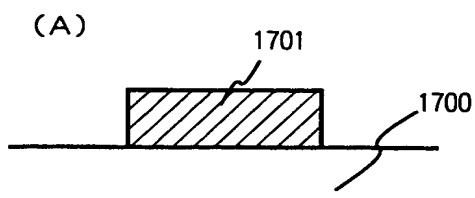


(D) ゲッタリック工程

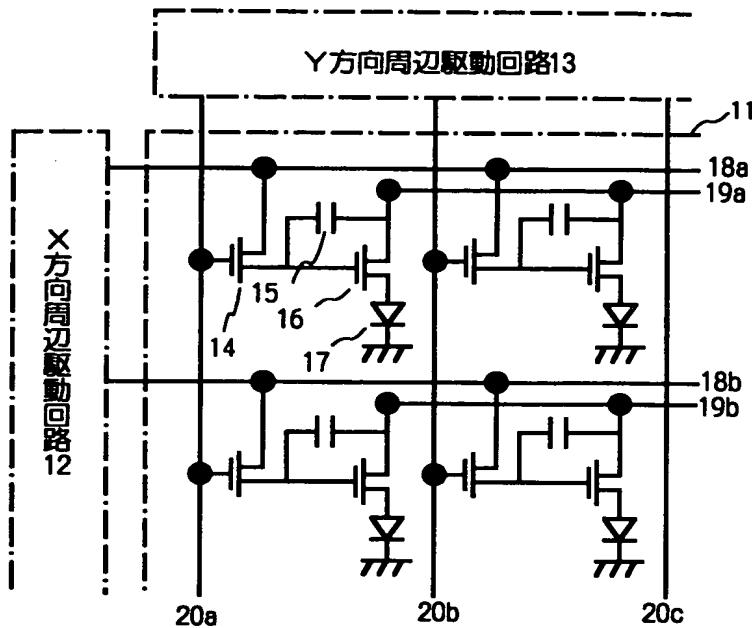
【図19】



【図20】



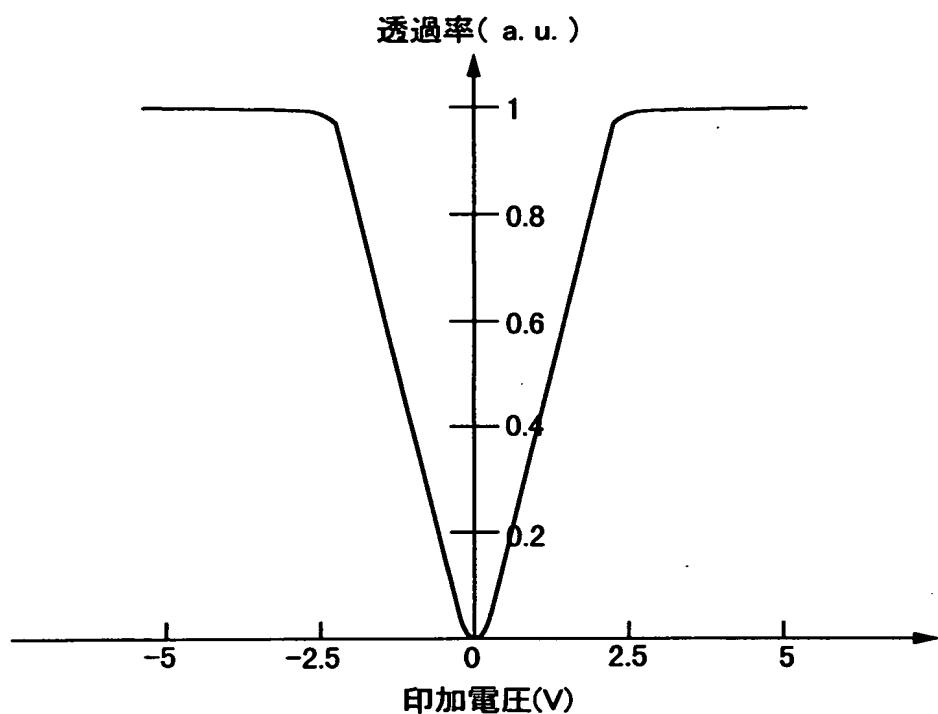
【図21】



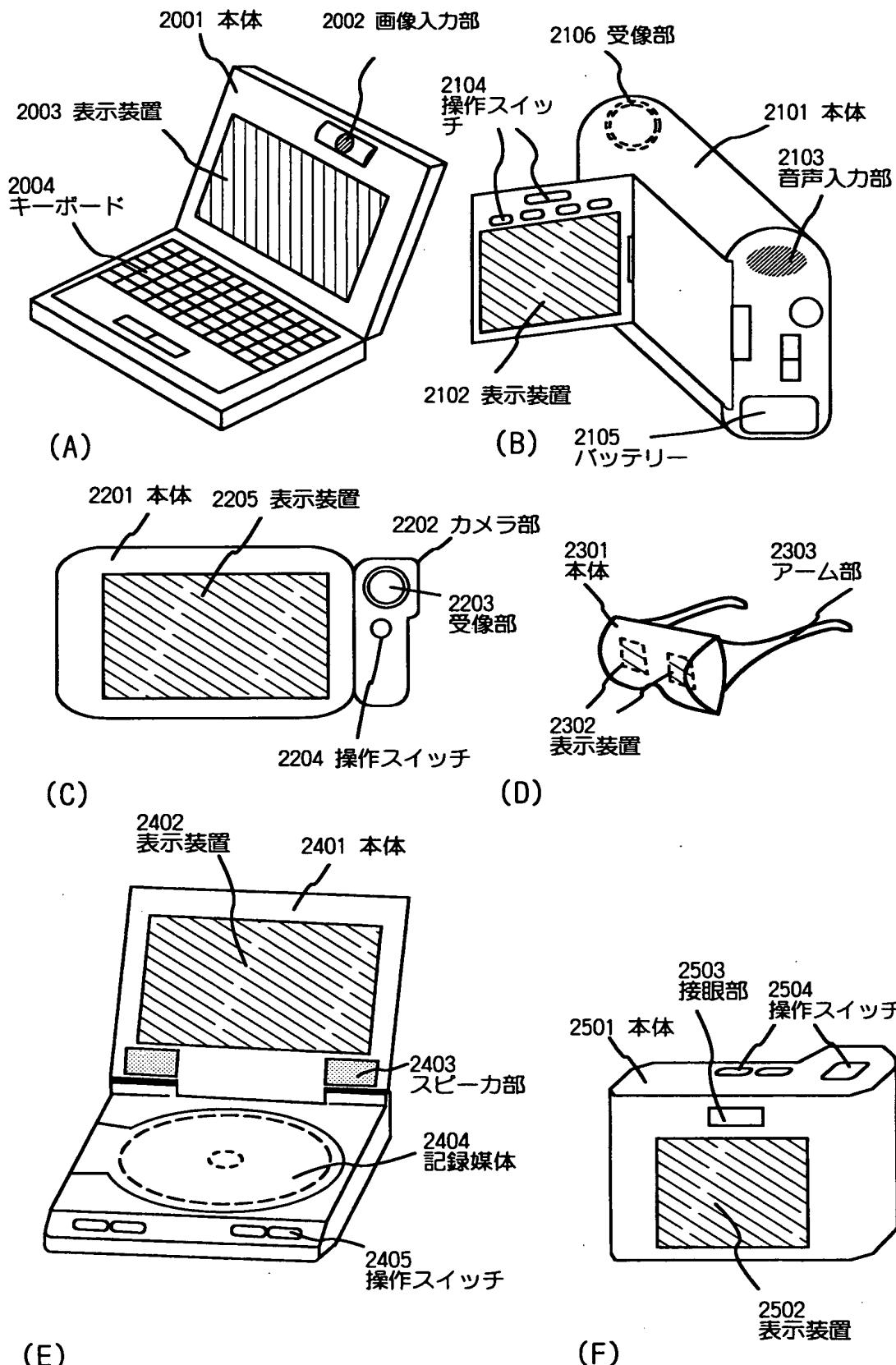
11:表示領域 12: X方向周辺駆動回路 13: Y方向周辺駆動回路
 14:スイッチ用TFT 15:コントラ 16:電流制御用TFT 17:有機EL素子
 18a, 18b: X方向信号線 19a, 19b: 電源線 20a, 20b, 20c: Y方向信号線

E-Lパネル回路図

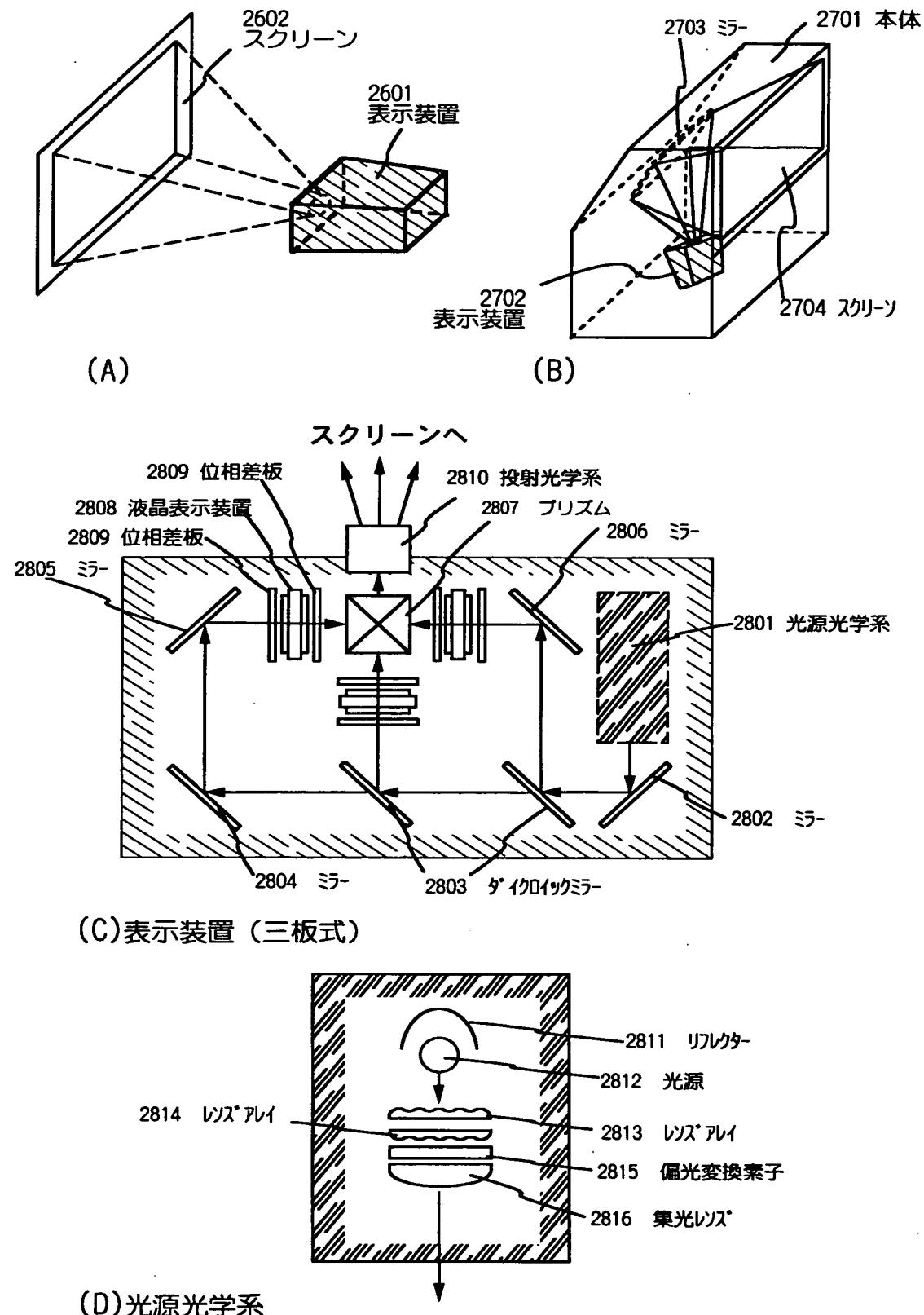
【図22】



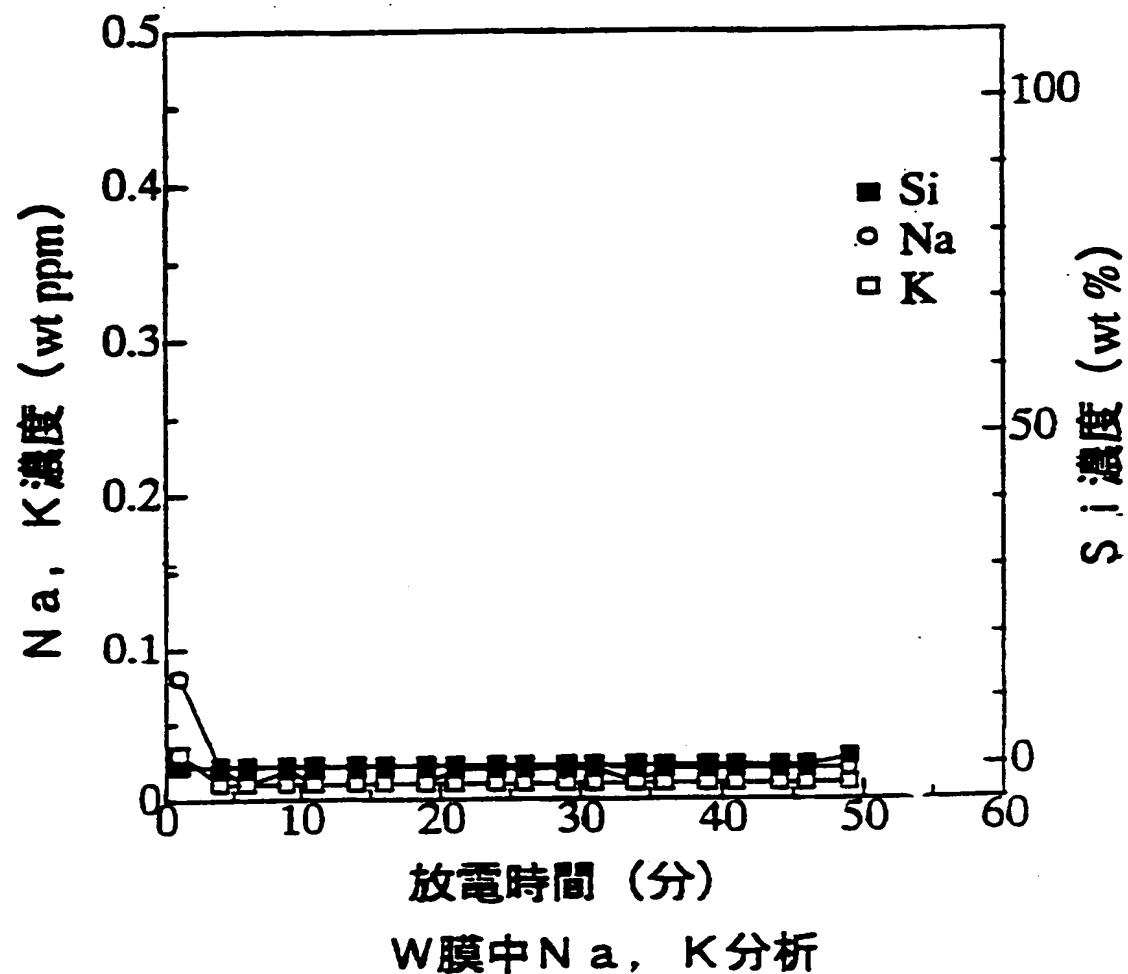
【図23】



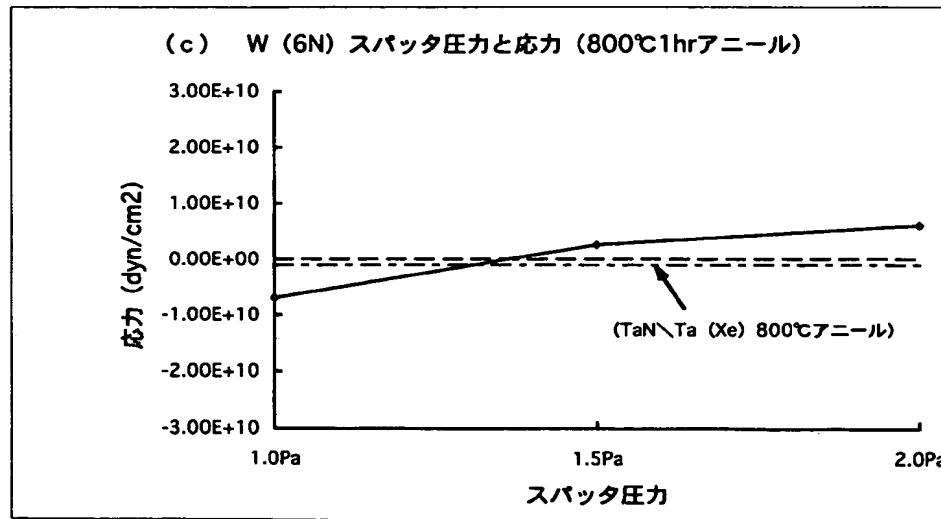
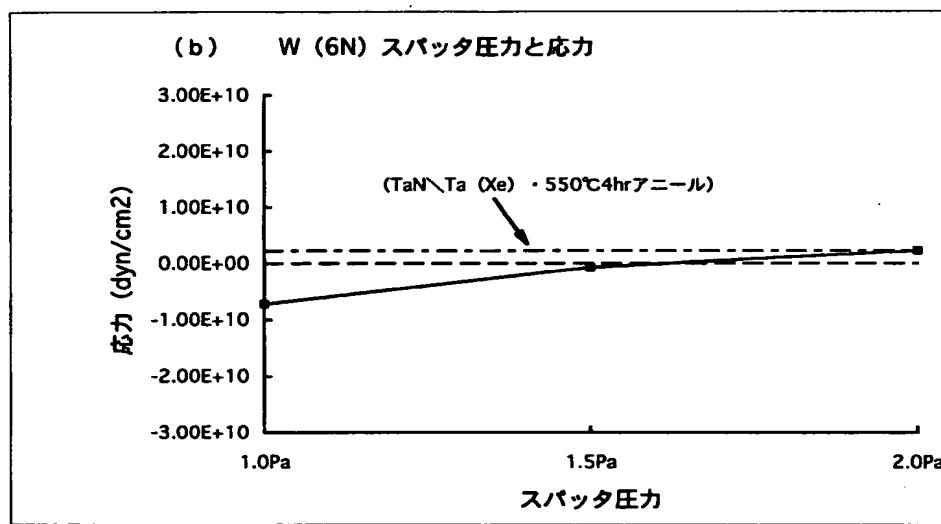
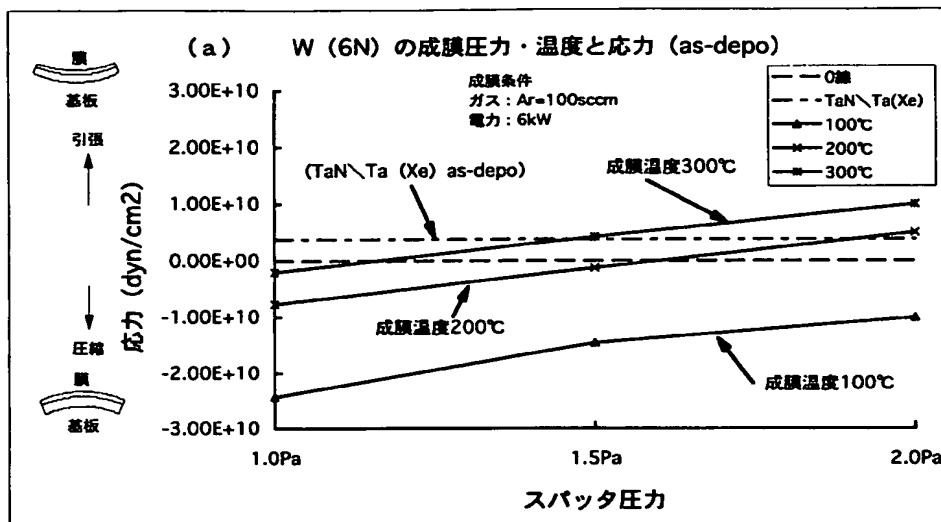
【図24】



【図25】

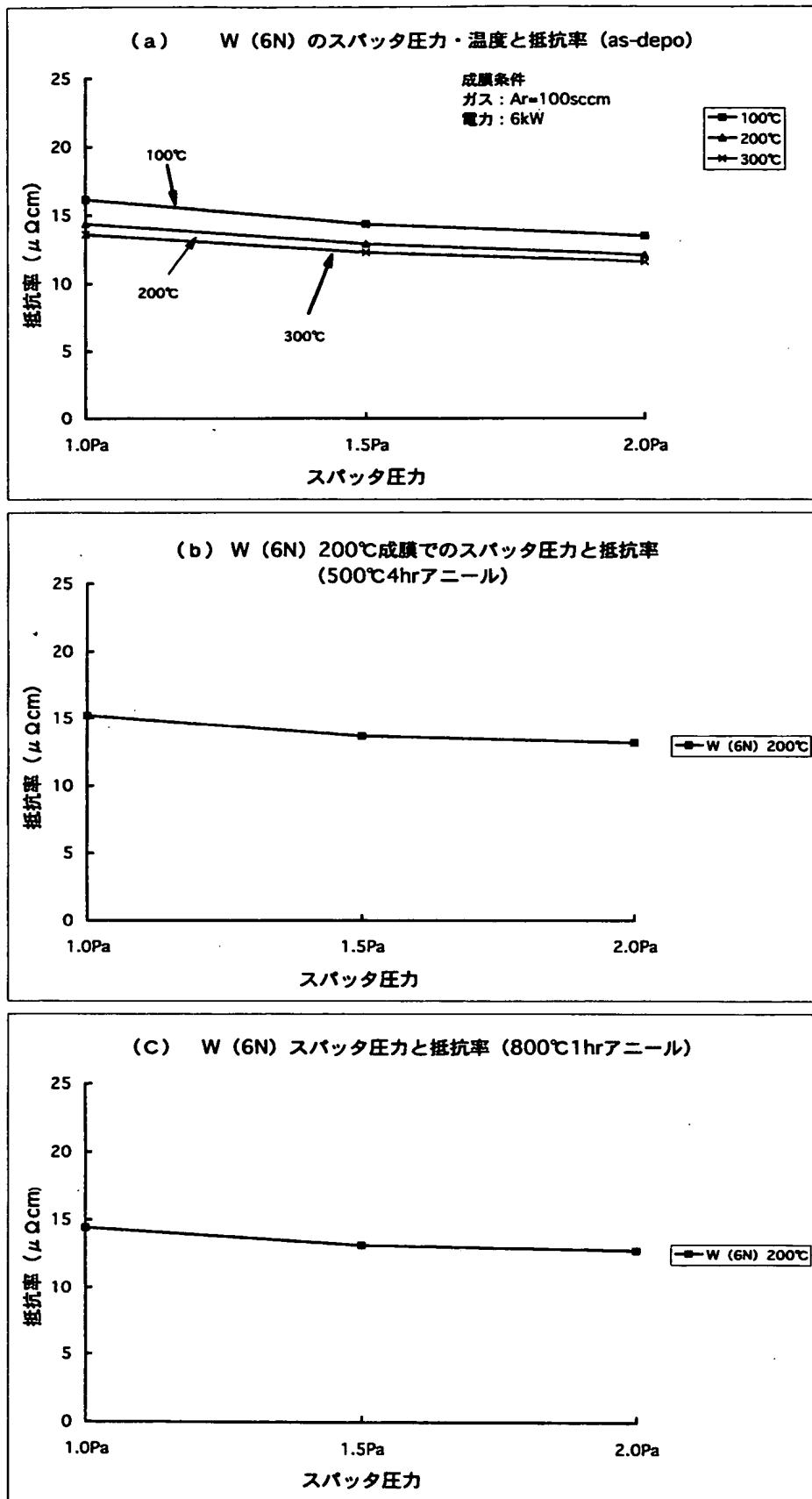


【図26】

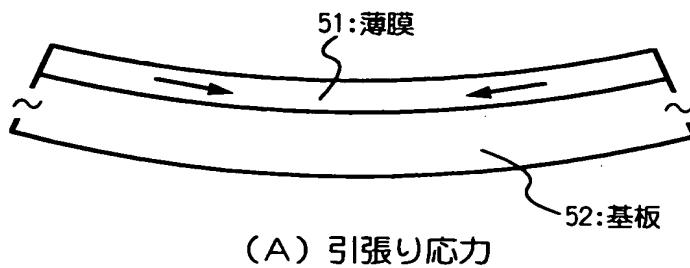


特平11-175937

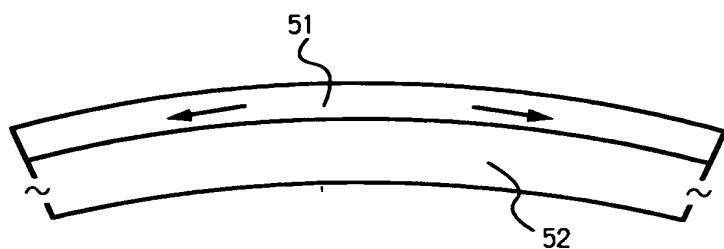
【図27】



【図28】

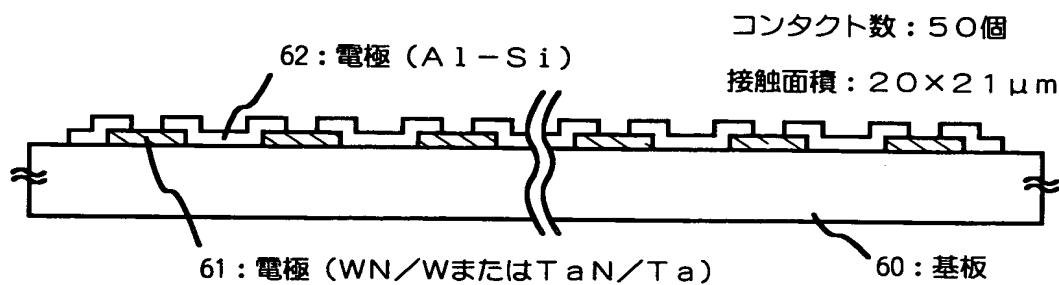


(A) 引張り応力



(B) 圧縮応力

【図29】



【書類名】 要約書

【要約】

【課題】 TFT特性の高い半導体装置を実現する。

【解決手段】 ターゲットとしては高純度のタンクステンターゲットを用い、スパッタガスとしてはアルゴン (Ar) の単体ガスを用い、基板温度を300°C以下とし、スパッタガスの圧力を1.0Pa以上とすることにより膜の応力を、 $-5 \times 10^{10} \sim 5 \times 10^{10}$ dyn/cm²、好ましくは $-1 \times 10^{10} \sim 1 \times 10^{10}$ dyn/cm²とする。こうして、膜中に含まれるナトリウムが0.01ppm以下であり、且つ、低い電気抵抗率 (20 μΩ·cm以下) を有するタンクステンを主成分とする膜をTFTのゲート配線材料やその他の配線材料として用いることにより、TFTを備えた半導体装置の動作性能や信頼性を大幅に向上させることができる。

【選択図】 なし

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所